

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

008478641 **Image available**

WPI Acc No: 1990-365641/199049

Detecting and repairing point deflecting active matrix substrate -
connecting electrode of N-th insulating gate type transistor to N plus
1-th signal line NoAbstract Dwg 1a/30

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2264224	A	19901029	JP 8986227	A	19890405	199049 B

Priority Applications (No Type Date): JP 8986227 A 19890405

Title Terms: DETECT; REPAIR; POINT; DEFLECT; ACTIVE; MATRIX; SUBSTRATE;
CONNECT; ELECTRODE; N; INSULATE; GATE; TYPE; TRANSISTOR; N; PLUS;
SIGNAL; LINE; NOABSTRACT

Derwent Class: P81; U11; U14

International Patent Class (Additional): G02F-001/13; H01L-021/66

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03288724 **Image available**

MANUFACTURE OF ACTIVE MATRIX SUBSTRATE CAPABLE OF SPOT DEFECT
DETECTION AND
REPAIR

PUB. NO.: 02-264224 [JP 2264224 A]

PUBLISHED: October 29, 1990 (19901029)

INVENTOR(s): KAWASAKI KIYOHIO

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 01-086227 [JP 8986227]

FILED: April 05, 1989 (19890405)

INTL CLASS: [5] G02F-001/136; G02F-001/13; H01L-021/66

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 46.2
(INSTRUMENTATION -- Testing)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass Conductors); R119 (CHEMISTRY -- Heat Resistant Resins)

JOURNAL: Section: P, Section No. 1154, Vol. 15, No. 20, Pg. 67,
January 17, 1991 (19910117)

ABSTRACT

PURPOSE: To relieve or suppress a spot defect by evading a connection between an insulation gate type transistor(TR) for driving which has a characteristic defect or internal short circuit and a pixel electrode.

CONSTITUTION: A DC voltage is applied between two signal lines 12(n) and 12(n+2), a DC voltage which turns on the insulation gate type TR 10 sufficiently or a DC voltage which turns off the TR is selected and applied to one scanning line 11(m), and the value of a current which flows between the two signal lines is measured. Then ON/OFF inspection is performed while two insulation gate type TRs 10 in addresses (m,n) and (m,n+1) are connected in series. Then a DC voltage is applied between two signal lines 12(n+1) and 12(n+3) and the value of a flowing current is measured to perform inspection while two insulation gate type TRs 10 in addresses (m,n+1) and (m,n+2) are connected in series. Thus, only normal insulation gate type TRs 10 share the pixel electrode to suppress the occurrence of a spot defect with high accuracy.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-264224

⑬ Int. Cl.³

G 02 F 1/136
1/13
H 01 L 21/66

識別記号

5 0 0
1 0 1

庁内整理番号

7370-2H
8910-2H
7376-5F

⑭ 公開 平成2年(1990)10月29日

審査請求 未請求 請求項の数 26 (全40頁)

⑮ 発明の名称 点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法

⑯ 特 願 平1-86227

⑰ 出 願 平1(1989)4月5日

⑱ 発 明 者 川 崎 清 弘 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 栗野 重幸 外1名

明 細 書

1. 発明の名称

点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法

2. 特許請求の範囲

(1) 走査線と信号線(n番)の交点毎に二組の絶縁ゲート型トランジスタと給索電極とを有するアクティブマトリクス基板において、除去可能な配線材でn番の絶縁ゲート型トランジスタのドレイン電極または給索電極が隣接するn+1番の信号線に接続されて形成され、n番とn+2番の信号線間に電圧が印加されn番とn+1番の二組の絶縁ゲート型トランジスタを直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴とする点欠陥の検出可能なアクティブマトリクス基板の製造法。

(2) 同一の走査線(m番)と信号線(n番)とで駆動される絶縁ゲート型トランジスタと給索電極とより成る二組の構成単位を、走査線と信号線の交点毎に信号線の両側に二組有するアクティ

ブマトリクス基板において、二組の絶縁ゲート型トランジスタが直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(3) (m, n)番地の第1の絶縁ゲート型トランジスタのドレイン電極または給索電極と、(m, n+1)番地、(m, n+2)番地または(m+1, n+1)番地の第2の絶縁ゲート型トランジスタのドレイン電極または給索電極とが除去可能な配線材で接続されて形成され、n番とn+1番、n番とn+2番またはn+1番の信号線間に電圧が印加され第1と第2の絶縁ゲート型トランジスタを直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴とする請求項2記載の点欠陥の検出可能なアクティブマトリクス基板の製造法。

(4) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給索電極とより成る一組の構成単位を、走査線と信号線の交点毎に走査線の両側に二組有するアクティブマトリクス基板において、 (m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m+1, n+1)$ 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給索電極とが除去可能な配線材で接続されて形成され、 n 番と $n+1$ 番の信号線間に電圧が印加され第1と第2の絶縁ゲート型トランジスタを直列にして電気特性が検査された後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(5) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給索電極とより成る一組の構成単位を、走査線と信号線の交点毎に対角の位置に二組有するアクティブマトリクス基板に

(7) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給索電極とより成る一組の構成単位を、走査線と信号線の交点毎に信号線の片側に二組有するアクティブマトリクス基板において、2個の絶縁ゲート型トランジスタが直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(8) (m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m, n+1)$ 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給索電極とが除去可能な配線材で接続されて形成され、 n と $n+1$ 番の信号線間に電圧が印加され第1と第2の絶縁ゲート型トランジスタを直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴

において、2個の絶縁ゲート型トランジスタが直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(9) (m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m+1, n+1)$ 番地、 $(m+1, n+2)$ 番地または $(m+2, n+1)$ 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給索電極とが除去可能な配線材で接続されて形成され、 n 番と $n+1$ 番、 n 番と $n+2$ 番または n 番と $n+1$ 番の信号線間に電圧が印加され第1と第2の絶縁ゲート型トランジスタを直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴とする請求項5記載の点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

とする請求項7記載の点欠陥の検出可能なアクティブマトリクス基板の製造法。

(10) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給索電極とより成る一組の構成単位を、走査線と信号線との交点毎に全ての対角の位置に4組有するアクティブマトリクス基板において、4個の絶縁ゲート型トランジスタのうち2個が直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(11) (m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m+1, n+1)$ 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給索電極と、 $(m+1, n)$ 番地または $(m, n+1)$ 番地の第3の絶縁ゲート型トランジスタのドレイン電極ま

たは給索電極と、 $(m, n+2)$ 地または $(m+2, n)$ の第4の絶縁ゲート型トランジスタのドレイン電極または給索電極とが除去可能な配線材で接続されて形成され、 n 番と $n+1$ 番および n 番と $n+2$ 番の信号線間または n 番と $n+1$ 番の信号線間に電圧が印加され第1と第2および第3と第4の絶縁ゲート型トランジスタを2個ずつ直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴とする請求項8記載の点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(11) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給索電極とより成る一組の構成単位を、信号線の両側に二組ずつ有するアクティブマトリクス基板において、4個の絶縁ゲート型トランジスタのうち2個が直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続

(13) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給索電極とより成る一組の構成単位を、走査線の両側に二組ずつ有するアクティブマトリクス基板において、4個の絶縁ゲート型トランジスタのうち2個が直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(14) (m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m+1, n+1)$ 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給索電極と、 $(m, n+1)$ 番地または $(m, n+2)$ の第3の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m+2, n)$ 番地または $(m+1, n)$ 番地の第4の絶縁ゲート型トランジスタのドレイン

の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(12) (m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m+1, n+2)$ 番地または $(m+2, n+1)$ 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給索電極と、 (m, n) 番地の第3の絶縁ゲート型トランジスタのドレイン電極または給索電極と $(m+1, n+1)$ 番地の第4の絶縁ゲート型トランジスタのドレイン電極または給索電極とが除去可能な配線材で接続されて形成され、 n 番と $n+2$ 番および n 番と $n+1$ 番の信号線間または n 番と $n+1$ 番の信号電圧間に電圧が印加され第1と第2および第3と第4の絶縁ゲート型トランジスタを2個ずつ直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴とする請求項11 17記載の点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

ン電極または給索電極とが除去可能な配線材で接続されて形成され、 n 番と $n+1$ 番の信号線間または n 番と $n+1$ 番および n 番と $n+2$ 番の信号線間に電圧が印加され第1と第2および第3と第4の絶縁ゲート型トランジスタを2個ずつ直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴とする請求項13記載の点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(15) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給索電極とより成る一組の構成単位を、走査線と信号線との交点毎に対角の位置に二組ずつ有するアクティブマトリクス基板において、4個の絶縁ゲート型トランジスタのうち2個が直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給索電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能な

なアクティブマトリクス基板の製造法。

(16) (m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給素電極と (m+1, n+1) 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給素電極と、(m, n) 番地の第3の絶縁ゲート型トランジスタのドレイン電極または給素電極と (m+1, n+2) 番地または (m+2, n+1) 番地の第4の絶縁ゲート型トランジスタのドレイン電極または給素電極とが除去可能な配線材で接続されて形成され、n番とn+1番およびn番とn+2番の信号線間またはn番とn+1番の信号線間に電圧が印加され第1と第2および第3と第4の絶縁ゲート型トランジスタを2個ずつ直列にして電気特性が検査された後に、前記接続の解除が行なわれることを特徴とする請求項15記載の点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(17) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給素電極とより成る

板の製造法。

(18) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給素電極とより成る一組の構成単位を、走査線と信号線の交点毎に信号線の片側に二組有するとともに補助の絶縁ゲート型トランジスタを有するアクティブマトリクス基板において、2個の絶縁ゲート型トランジスタのうちの1個と補助の絶縁ゲート型トランジスタとが直列に構成されるべく除去可能な配線材で接続されて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給素電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(19) (m, n) 番地の第1の絶縁ゲート型トランジスタと (m+1, n) 番地または (m+2, n+1) 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給素電極と (m+2, n+1) 番地の補助の絶縁ゲート型トランジスタ

一組の構成単位を、走査線と信号線の交点毎に対角の位置に二組有するとともに補助の絶縁ゲート型トランジスタを有するアクティブマトリクス基板において、(m, n) 番地の第1の絶縁ゲート型トランジスタと (m+2, n+2) 番地、(m+1, n) 番地または (m-1, n+2) 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給素電極と (m+1, n+1) 番地、(m+2, m+1) 番地または (m+1, n+1) 番地の補助の絶縁ゲート型トランジスタのドレイン電極とが除去可能な配線材で接続されて形成され、n番とn+1番およびn+1番とn+2番の信号線間、n番とn+1番の信号線間またはn番とn+1番およびn+1番とn+2番の信号線間に電圧が印加され駆動用と補助の2個の絶縁ゲート型トランジスタを直列にして電気特性が検査された後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給素電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基

のドレイン電極とが除去可能な配線材で接続されて形成され、n番とn+1番の信号線間またはn番とn+2番およびn+1番とn+2番の信号線間に電圧が印加され駆動用と補助の2個の絶縁ゲート型トランジスタを直列にして電気特性が検査された後に前記接続の解除が行なわれることを特徴とする請求項18記載の点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(20) 同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給素電極とより成る一組の構成単位を、走査線と信号線の交点毎に対角の位置に二組有するアクティブマトリクス基板において、(m, n) 番地の第1の絶縁ゲート型トランジスタのドレイン電極または給素電極と (m+2, n+1) 番地または (m+1, n+1) 番地の第2の絶縁ゲート型トランジスタのドレイン電極または給素電極と (m+1, n+2) 番地または (m-1, n+2) の第2の絶縁ゲート型トランジスタのドレイン電極または給素電極とが除去可能な配線材で接続されて形成され、第1と

各第2の絶縁ゲート型トランジスタを直列にして2回の電気特性が検査された後に前記接続の解除と、特性不良(OFF電流大)の絶縁ゲート型トランジスタと給素電極との接続の解除とが行なわれることを特徴とする点欠陥の検出および補修の可能なアクティブマトリクス基板の製造法。

(21) 単位給素内に複数個の絶縁ゲート型トランジスタが独立して電気的に検査できるように信号線および複数個の絶縁ゲート型トランジスタ相互間との間に除去可能な配線材で前記素子間の相互接続がなされて形成されたアクティブマトリクス基板において、電気検査終了後に前記相互接続が解除され、特性不良(OFF電流大)の絶縁ゲート型トランジスタを除いて共通の給素電極を選択的に形成することを特徴とする点欠陥の補修されたアクティブマトリクス基板の製造法。

(22) 複数個の絶縁ゲート型トランジスタの相互接続が構成が請求項7、11、13、15または18項に記載されたものであることを特徴とする請求項21記載の点欠陥の補修されたアクテ

が解除され、電気検査データに基づいて特性不良(OFF電流大)の絶縁ゲート型トランジスタを正規の配線からレーザー照射によって分離した後、2個の絶縁ゲート型トランジスタで共有する一つの給素電極を選択的に形成することを特徴とする請求項21記載の点欠陥の補修されたアクティブマトリクス基板の製造法。

(25) 単位給素内に複数個の絶縁ゲート型トランジスタと給素電極が独立して電気的に検査できるように信号線および複数個の絶縁ゲート型トランジスタ相互間との間に除去可能な配線材で前記素子間の相互接続がなされて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記相互接続が解除され、電気検査終了後に特性不良(ON電流小)の絶縁ゲート型トランジスタのドレイン電極または当該の絶縁ゲート型トランジスタに接続された給素電極と、正常な絶縁ゲート型トランジスタのドレイン電極または当該の絶縁ゲート型トランジスタに接続された給素電極とをレーザー・スポット照射によって導電性の小パターン薄膜

ィブマトリクス基板の製造法。

(23) 単位給素を構成する複数個の絶縁ゲート型トランジスタが独立して電気的に検査出来るように信号線および複数個の絶縁ゲート型トランジスタ相互間との間に除去可能な配線材で前記素子間の相互接続がなされて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記相互接続が解除され、2個の絶縁ゲート型トランジスタで共有する一つの給素電極の形成時に特性不良(OFF電流大)の絶縁ゲート型トランジスタと給素電極との接続が電気検査データに基づいて選択的に回避されるべく給素電極の一部が欠除して形成されることを特徴とする請求項21記載の点欠陥の補修されたアクティブマトリクス基板の製造法。

(24) 単位給素を構成する複数個の絶縁ゲート型トランジスタが独立して電気的に検査出来るように信号線および複数個の絶縁ゲート型トランジスタ相互間との間に除去可能な配線材で前記素子間の相互接続がなされて形成され、絶縁ゲート型トランジスタの電気検査終了後に前記相互接続

で接続することを特徴とする点欠陥の補修されたアクティブマトリクス基板の製造法。

(26) 複数個の絶縁ゲート型トランジスタの相互接続が構成が請求項18記載されたものであることを特徴とする請求項25記載の点欠陥の補修されたアクティブマトリクス基板の製造法。

3. 発明の詳細な説明

産業上の利用分野

本発明は画像表示装置、とりわけアクティブマトリクス編成の画像表示装置において有効な点欠陥の検出および補修を可能とする設計手法、検査方法および製造法に関する。

従来の技術

近年の微細加工技術、液晶材料および実装技術等の進歩により2-8インチ程度の小さなサイズではあるが、液晶パネルで実用上支障ないテレビジョン画像が商用ベースで得られるようになってきた。液晶パネルを構成する2枚のガラス板の一方にRGBの着色層を形成しておくことによりカラー表示も容易に実現され、また給素毎にスイッ

チング素子を内蔵させた、いわゆるアクティブ型の液晶パネルではクロストークも少なくかつ高いコントラスト比を有する画像が保証される。

このような液晶パネルは、走査線としては120-240本、信号線としては240-720本程度のマトリクス構成が標準的で、例えば第27図に示すように液晶パネル1を構成する一方のガラス基板2上に形成された走査線の電極端子群8に駆動信号を供給する半導体集積回路チップ9を直接、接続するCOG (Chip-On-Glass) 方式や、例えばポリイミド系樹脂薄膜をベースとし、金メッキされた銅箔の端子群(図示せず)を有する接続フィルム4を信号線の電極端子群5に接着剤を塗布して接続フィルム4を圧接しながら固定する方式などの実装手段によって電気信号が画像表示部に供給される。ここでは便宜上二つの実装方式を同時に図示しているが、実際にはいずれかの実装方式が選ばれることは言うまでもない。

なお、7、8は液晶パネル1中央の画像表示部

かれた素子は一方のガラス基板2上に、そして縦線で描かれた素子はもう一方のガラス基板9上に形成されている。走査線11(8)と信号線12(7)は、例えば非晶質シリコンを半導体層とし、シリコン窒化膜(Si₃N₄)をゲート絶縁膜とする薄膜トランジスタ10の形成と同時にガラス基板2上に作製される。

液晶セル13はガラス基板2上に形成された透明導電性の絵素電極14と、カラーフィルタ9上に形成された同じく透明導電性の対抗電極15と、2枚のガラス板で構成された閉空間を満たす液晶とで構成され、電気的にはコンデンサと同じ扱いを受ける。液晶分子を所定の方向に整列させるためには配向膜を対抗電極15と絵素電極14上に形成する必要があるが、ここではその詳細については説明を省略する。

着色された感光性ゼラチンまたは着色性感光樹脂等よりなる着色層は前述のように、カラーフィルタ9の閉空間側に絵素電極に対応してRGBの三原色で所定の配列に従って配置されている。全

と信号線および走査線の電極端子群5、6との間を接続する配線路で、必ずしも電極端子群と同じ導電材で構成される必要はない。

9は全ての絵素に共通の透明導電性の対抗電極を有するもう1枚のガラス板で、2枚のガラス板2、9は石英ファイバやプラスチック・ビーズ等のスペーサによって所定の距離を隔てて形成され、その間隙はシール材と封口材で封止された閉空間になっており、閉空間には液晶が充填されている。カラー表示を実現するには、ガラス板9の閉空間側に着色層と称する染料または顔料のいずれか一方もしくは両方を含む有機薄膜が被着されて色表示機能が与えられるので、ガラス基板9は別名カラーフィルタとも呼ばれる。そして液晶材の性質によってはガラス板9上面またはガラス板2下面のいずれかもしくは両面上に偏光板が貼付され、液晶パネル1は電気光学素子として機能する。

第28図は、スイッチング素子として絶縁ゲート型トランジスタ10を絵素毎に配置したアクティブ型液晶パネルの等価回路図である。実線で描

ての絵素電極に共通の対抗電極15は着色層の存在による電圧配分損失を避けるためには着色層上に形成される。

なお、第28図において蓄積電量16はアクティブ型の液晶パネルとしては必ずしも必須の構成要素とは限らないが、駆動用信号源の利用効率の向上、浮遊寄生容量の障害の抑制および高温動作時の画像のちらつき(フリッカ)防止等には効果的存在で適宜採用される。17はすべての蓄積電量16に共通する導電路で、一般的には15と17は接続して使用される。

周知のごとく、画像表示装置は人間の視覚という高感度のセンサによって識別される対象であるから各種の画像欠陥に対しては非常に厳しい制約があり、線欠陥は言うに及ばず、点欠陥に於いてもCRTとの比較では非常に苦しく、換言すれば歩留まりが極めて低くなり、無検査に近い状態でアクティブ型の液晶パネルが提供されるようには、更なる技術開発を必要とし、いましばらく時間が

かかるであろうし、シリコン系の半導体プロセスと類似の製造方法が継続される限りに於いては、幾ら歩留まりが向上しても100%良品と言うことは有り得ないであろう。

線欠陥は文字通り画面上で線状に現われる欠陥で、その発生理由は明確に以下に述べる原因に起因して生じる。それは、(1)走査線または信号線が途中で断線した、(2)走査線または信号線に電気信号が到達していない、(3)走査線と信号線が短絡している、(4)複数の走査線または信号線が短絡している、等が主たる要因である。線欠陥は2枚のガラス板を貼り合わせて液晶パネル化する前段階においても、すなわちアクティブマトリクス基板の状態でも比較的検出が容易であり、しかも数値によって見かけ上無欠陥化することも可能である。例えば、断線に対しては走査線や信号線等の電極線に対して正規の接続に加えて他端から救済線を経由して同一の信号を加えればよく、走査線と信号線の短絡に対しては短絡箇所をレーザー等で切断していずれかの電極線の断線に

が正常に動作している周囲の絵素と比較すると、電気信号による制御が不能な点欠陥による表示画質の低下が緩和されることは容易に理解されよう。また緩和の度合は絵素の分割数が多いほど効果的である。しかしながら、分割数を増やすと素子の分離のためのスペースが表示に寄与しなくなり、開口率の低下は免れないので自ずと制約を受けることは明かである。加えてノーマリ・ブラックの表示方式の場合には白点欠陥は緩和されるとは言っても無信号時には常時点灯(発光)しているので、絵素がよほど小さくない限り非常に目立ち、点欠陥の緩和度合と比較すると効果が低く評価されるのは止むを得ない。

第29図の構成では単位絵素を一行おきに半ピッチずらし、カラーフィルタ上のRGBの着色層の配列をデルタ(三角)配置とすることが容易で、絵素数が少ない場合でも見かけ上の解像力を確保できる利点が挙げられよう。欠点としては二組のどちらが表示機能を失っているかが、液晶パネル化しなければ識別できないことである。

転化してしまえば断線と同等の処置が可能だからである。

点欠陥の検査については、半導体メモリに例えればフルビットの検査に相当し、デバイスの構造によっても異なるが、一般的に言って検査時間は長かつ困難となることは想像に難くない。事実、現時点では最終工程に於ける画像検査時に品質面から点欠陥についてもチェックしているのが実状で、製造工程の途中で点欠陥を有効に検出し得るような検査機は未だ実用化されていない。画質の向上のためにも点欠陥を減少させることは緊急の課題である。

第29図は点欠陥の表示画像に及ぼす影響を低減させるために実施された改善策の一例の等価回路を示す。単位絵素を構成するスイッチング素子である絶縁ゲート型トランジスタと絵素電極を複数個(第29図では2個)に分割して配置し、少なくとも一組の絶縁ゲート型トランジスタと絵素電極とによる表示機能の確保を図ろうとするものである。この改善策においては複数個の絵素電極

第30図は別の改善策の等価回路を示す。単位絵素内に2個の絶縁ゲート型トランジスタ10-1、10-2を対角に配置し、2個の絶縁ゲート型トランジスタで一つの液晶セル13を共有して駆動するものである。何れかの絶縁ゲート型トランジスタに電流供給能力の低下が発生した場合でも正常な方で絵素電極への書き込みが保たれる。また2個の絶縁ゲート型トランジスタは直列に閉ループを構成しているので、外部から電気的に絶縁ゲート型トランジスタの電気特性を検査できるので、何れかの絶縁ゲート型トランジスタのスイッチ機能が失われ常時ON状態となった場合にはレーザー等の切断手段で正規の配線から切り放せば上述した場合と同様の対応が可能となっている。

上記改善策の欠点としてはまず、カラー画像表示の場合に絵素電極が対角線上に位置しなければならないので、着色層の配置が斜め配置(モザイク)に限定され、絵素数が少ない場合には干渉縞が目立ち易いことである。次に厳密な意味では、絶縁ゲート型トランジスタに電流供給能力の低下

が発生した結果では正常な書き込みが行なわれておらず、隣接する行の色信号で視覚的に欺いているために高品位の画像とはなり難いことであろう。テレビジョン画像としては容忍されても、文字・図形を表示対象とするOA用のディスプレイとしては疑問が残る。

上述した第1の改善策においては、スイッチング素子である絶縁ゲート型トランジスタを複数個配置して駆動電流能力の低下に対して冗長度を持たせても、絶縁ゲート型トランジスタの内部短絡による制御不能に対してはアクティブマトリクス基板状態では検出が出来ず、結局は液晶パネル化して画像表示を行なわなければ白点欠陥の存在を検出できない本質的な課題を解決出来ていない。液晶パネルにレーザを照射して内部短絡を有する絶縁ゲート型トランジスタを線素電極から切り離すことにより、成功率は低いが生点欠陥を黒点欠陥に転換することも可能であるが、絶縁ゲート型トランジスタが複数個配置されている場合、何れの絶縁ゲート型トランジスタに内部短絡が存在す

る絶縁ゲート型トランジスタとの間等に仮の電気的接続を与えておいて絶縁ゲート型トランジスタの電気検査を行い、点欠陥の主原因である特性不良の絶縁ゲート型トランジスタの位置を検出する。そして特性不良の位置と種類の情報により判断してパネル組み立て工程に当該のアクティブマトリクス基板を進めるかどうか決定する。パネル組み立て工程への進行に先立ち、除去可能な配線材で形成された仮の接続を正規の配線に悪影響を及ぼさないように工夫された食刻で除去し、さらに複数個の絶縁ゲート型トランジスタで単位線素が構成されているものに関しては、レーザ等の手段を用いて内部短絡を有する様な特性不良の絶縁ゲート型トランジスタと線素電極との接続を解除しておくことにより、点欠陥の補修がなされた液晶パネルを得るものである。

さらに改善された製造方法においては、線素電極の形成を複数個の絶縁ゲート型トランジスタの電気検査終了後に行ない、特性不良の絶縁ゲート型トランジスタを選択的に除外して正常な絶縁ゲ

るか分からなければ全く無意味である。

発明が解決しようとする課題

しかしながら、第2の改善策においては、点欠陥の検出は可能であっても点欠陥が発生した場合に正規の色信号で表示されない欠点までは補正できず、更なる改善が必要である。またこの場合に線素電極を単に分割するだけでは絶縁ゲート型トランジスタが閉ループを構成せず、第1の改善例と同様の欠点を有することになり、分割しても線素電極がつながっている場合には分割する意味がない。

課題を解決するための手段

本発明は上記した現状に鑑みなされたもので、スイッチング素子である絶縁ゲート型トランジスタの電気的特性の検査・評価がアクティブマトリクス基板上で可能となるように、まず除去可能な配線材を用いて駆動用の絶縁ゲート型トランジスタのドレイン電極または線素電極と必要な信号線との間、複数個の絶縁ゲート型トランジスタのドレイン電極または線素電極相互間、さらには補助

型トランジスタのみで線素電極を共有することにより点欠陥の発生を極めて高い精度で抑制することが可能となる。

作用

駆動用の絶縁ゲート型トランジスタは閉ループを構成するように、正規な回路構成外の信号線や補助の絶縁ゲート型トランジスタとの間で、あるいは複数個の絶縁ゲート型トランジスタ相互間で除去可能な配線材を用いて仮接続された状態でアクティブマトリクス基板として形成されている。従って、全ての絶縁ゲート型トランジスタは外部から電気的に独立してそのトランジスタ特性を検査することが可能である。そこで、特性不良や内部短絡を有する駆動用の絶縁ゲート型トランジスタと線素電極との接続を回避することによって点欠陥の緩和もしくは抑制が推進される。仮接続に用いられた配線材は絶縁ゲート型トランジスタの電気検査終了後に他の素子に影響を与えないように選定された食刻方法で除去されるので、例えば仮接続に用いられた配線材が正規の配線と短絡して

いたとしても最終的には二次的な不良は発生しない。

実施例

第1図(a)は本発明の基礎概念となる第1の実施例によるアクティブマトリクス構成の液晶パネルの等価回路である。第2・8図の従来例との比較からも分かるように、液晶セル13を駆動する絶縁ゲート型トランジスタ10のドレイン電極または給素電極と隣接する信号線との間に接続線20が形成された状態でアクティブマトリクス基板を作製し、一旦検査工程で検査する。絶縁ゲート型トランジスタ10の電気検査終了後に、例えば接続線20を含んで形成された開口部21内の接続線を除去する等の手段によって、絶縁ゲート型トランジスタ10のドレイン電極または給素電極と隣接する信号線との接続を解除することにより、最終的には従来の液晶パネルと同一の回路構成となる。

絶縁ゲート型トランジスタ10はスイッチング素子として液晶セル13を交流的に充放電する機

縁ゲート型トランジスタは2回統けて検査されることになる。このよう

な検査を全ての信号線と走査線に対して実施することにより全ての絶縁ゲート型トランジスタは2回統けて検査されることになり、絶縁ゲート型トランジスタ10のソース・ドレイン間に点欠陥の原因となる短絡と開放が連続して発生しない限り、全ての絶縁ゲート型トランジスタのON/OFF特性を知ることが出来る。これによって従来のように液晶パネル化しなければ発見出来なかった駆動用絶縁ゲート型トランジスタの特性不良による点欠陥は予知可能となり、その効果は著しく高い。もちろん、絶縁ゲート型トランジスタのゲート・ソースあるいはゲート・ドレイン間の短絡も、走査線と信号線間に流れる電流を併せて測定しておくことにより容易に見出せることは言うまでもないだろう。

絶縁ゲート型トランジスタ10の故障モードとしては大別して、1)所定のゲート電圧に対してドレイン電流が小さい(ON電流小)、2)ドレ

イン電流が常時流れ過ぎる(OFF電流大)、3)ゲートとドレインが短絡(漏洩)している、4)ゲートとソースが短絡(漏洩)している、の4項目を挙げることができる。ノーマリ・ブラックの表示方式の画像表示では、1)の場合は黒点欠陥となり、2)と3)の場合は白点欠陥となり、4)の場合には十字状の線欠陥となる。

第1図(a)の回路構成に従って、まず2本の信号線12(n)と12(n+2)との間に直流電圧を印加し、かつ1本の走査線11(m)に印加する直流電圧に絶縁ゲート型トランジスタ10が十分にONする電圧とOFFする電圧を選択して印加し、2本の信号線間を流れる電流値を測定することにより(m, n)番地と(m, n+1)番地の二つの絶縁ゲート型トランジスタを直列に接続した状態でON/OFF検査する。次に2本の信号線12(n+1)と12(n+3)との間に直流電圧を印加し、同様に2本の信号線間を流れる電流値を測定することにより(m, n+1)番地と(m, n+2)番地の二つの絶縁ゲート型トランジスタを直列に接続した状態で検査する。この2回の測定によって(m, n+1)番地の絶

イン電流が常時流れ過ぎる(OFF電流大)、3)ゲートとドレインが短絡(漏洩)している、4)ゲートとソースが短絡(漏洩)している、の4項目を挙げることができる。ノーマリ・ブラックの表示方式の画像表示では、1)の場合は黒点欠陥となり、2)と3)の場合は白点欠陥となり、4)の場合には十字状の線欠陥となる。

1)の場合に基板毎に不規則に発生する点欠陥の原因としては、給素電極、絶縁ゲート型トランジスタおよびソース・ドレイン配線相互間の電氣的接触が不安定であるとか失われた場合と、半導体層の欠陥によって絶縁ゲート型トランジスタの機能が十分に発揮されない場合とがある。また2)の場合は絶縁ゲート型トランジスタのOFF時のソース・ドレイン間のリーク電流が大きすぎる場合とソースとドレインとが短絡している場合とがあるが、前者は半導体層の膜質異常として全ての絶縁ゲート型トランジスタに共通して発生するので基板毎に不規則に発生する点欠陥の原因とはなり得ず、モニタトランジスタ等の検査によって別

途管理する必要がある。第1図(a)の回路構成では非検査対象の絶縁ゲート型トランジスタが走査線方向に200-400個並列に存在するが、絶縁ゲート型トランジスタのON/OFF比は通常5桁以上あるので本発明による絶縁ゲート型トランジスタのON/OFF特性の検査の障害とはならない。

絶縁ゲート型トランジスタの不良を全てその発生番地共々知ることが出来れば、予め設定された判断基準により良品、不良品、再生可能品としてパネル組み立て工程への進行が決定され、高価なカラーフィルタを無駄に消費することを回避できる。しかしながら、第1の実施例では駆動用絶縁ゲート型トランジスタが単位絵素内に一個しかないので、再生可能な故障モードとしては、2)と3)と4)の短絡に対してレーザ等の切断手段により、白点欠陥を黒点欠陥に転換する処置のみが有効となる。4)の短絡は、走査線か信号線かの何れかを切断して断線に転化しなければならず、断線に対する救済法も同時に用意する必要がある

Crを硝酸セリウムを主成分とするCr食刻液で除去し、接続パターン25を分断することによって達成される。Cr食刻液はPH5-8と酸性度が低く、Alよりなる信号線やソース・ドレイン配線を侵食する事はない。

第1図(c)、(d)において、ITOよりなる絵素電極14上の絶縁層29はPCVDによるプラズマ損傷を避けるための透明度の高い保護層で、例えば酸化シリコン(SiO_2)や5酸化タンタル(Ta_2O_5)が最適であり、30は絶縁ゲート型トランジスタのチャネルとなる不純物を含まない非晶質シリコン層、31はソース・ドレイン配線22、23とチャネル層30とのオーミック接触を確保するための不純物を含む非晶質シリコン層、32はゲート絶縁層であるシリコン窒化膜(Si_3N_4)、33は不純物層31に対するエッチング・ストッパーとしてのシリコン窒化膜(Si_3N_4)である。絶縁ゲート型トランジスタの耐熱性向上のためにAlよりなるソース・ドレイン配線22、23と不純物層32との間にバリア・メタル

ことは言うまでもない。

絶縁ゲート型トランジスタの構造や製造方法は、まだ確立したとは言い難い現状で、したがってアクティブマトリクス基板の構造と製造方法も種々考えられるが、第1図(a)に対応したパターン配置図の一例を第1図(b)に示し、第1図(b)のA-A'およびB-B'線上の断面図を第1図(c)および第1図(d)に示す。信号線12の分岐部22、および23は例えばAlよりなるソース、ドレイン配線であり、ドレイン配線23は絶縁層下の絵素電極14とは絶縁層に形成された開口部24を介して接続されている。ドレイン配線23と接続する信号線との接続20は、走査線11と同一工程で形成された例えばCrよりなる接続パターン25を配置し、接続パターン25上のゲート絶縁層に形成された開口部26、27を介してドレイン配線23と、接続する信号線の分岐部28との間で行なわれている。接続20の解除は開口部26、27と同時に形成された接続パターン25上の開口部21によって露出している

としてCrやTi等の金属薄膜やシリサイド薄膜を介在させる必然性や、Crよりなるゲート配線11表面に不働態を発生させないためにシリサイド薄膜を重ねることなどの詳細についてはここでは省略する。

絵素電極14とドレイン配線23が開口部24を経由して接続されるのではなく、直接接続されるような構造ももちろん可能であり、接続パターン25を走査線11とは異なった材質あるいは異なった工程で構成することも可能であるが、製造工程数が増加しない意味では上記したプロセスが最適である。

以上述べたごとく、第1の実施例において本発明の主眼点である、1)2個の絶縁ゲート型トランジスタが直列に閉ループを構成するように除去可能な配線材で接続して形成され、2)絶縁ゲート型トランジスタの電気検査終了後に前記接続が解除されて絶縁ゲート型トランジスタが独立する、思想が開示されている。

第1図に示した第1の実施例においては、表示

を担う絶縁ゲート型トランジスタと給素電極が一緒しかないために、白点欠陥を黒点欠陥に転化する補修しか出来ないのが黒点欠陥の発生に対しては極めて無力である。この意味でも複数個の絶縁ゲート型トランジスタと給素電極とを備え、点欠陥の発生に対して冗長度を有するアクティブマトリクス基板に本発明を適用することは更に冗長度を高めて歩留まりの向上に寄与させる意味で重要である。駆動用の絶縁ゲート型トランジスタと給素電極よりなる構成単位を二組用意した場合、表示エリア内における構成単位の配置方法は4種類あり、以下の実施例について順に説明を続ける。

第2の実施例として構成単位を信号線の両側に一組ずつ配置した場合、2個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成は3種類あり、第2図から第4図までの図面を実施例として説明する。

第2図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1

ン配線23-1、23-2とCrよりなる接続パターン25で構成されている。

第3図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1のドレイン電極または給素電極は接続線20を経由して(m, n+2)番地の第2の絶縁ゲート型トランジスタ10-2のドレイン電極または給素電極に接続されている。したがって2本の信号線12(n)と12(n+2)との間に直流電圧を印加し、走査線11(m)に印加する直流電圧に絶縁ゲート型トランジスタが十分にONする電圧とOFFする電圧を選択して印加し、2本の信号線間を流れる電流値を測定することにより第1と第2の二つの絶縁ゲート型トランジスタを直列に接続した状態でON/OFF検査することができる。この場合にも第2図の場合と同じく、点欠陥の存在を知ることが出来るだけである。

接続線20は信号線と交差する必要があるため、必然的に交差部では走査線と同一工程で形成した多層配線を用い、信号線や絶縁ゲート型トランジ

スタのドレイン電極または給素電極は接続線20を経由して(m, n+1)番地の第2の絶縁ゲート型トランジスタ10-2のドレイン電極または給素電極に接続されている。したがって2本の信号線12(n)と12(n+1)との間に直流電圧を印加し、走査線11(m)に印加する直流電圧に絶縁ゲート型トランジスタが十分にONする電圧とOFFする電圧を選択して印加し、2本の信号線間を流れる電流値を測定することにより第1と第2の二つの絶縁ゲート型トランジスタを直列に接続した状態でON/OFF検査することができる。ただし回路構成の対称性から、第1と第2のどちらの絶縁ゲート型トランジスタにON電流小あるいはOFF電流大の点欠陥の原因が存在するかを識別することはできないが、どちらかの絶縁ゲート型トランジスタにON電流小あるいはOFF電流大の点欠陥の原因が存在することを知ることができる。すなわち、点欠陥の検出は可能である。第2図(a)に対応したパターン配置図を第2図(b)に示す。接続線20は、二つのドレイ

スタのドレインとは開口部を介して接続するのが合理的である。接続線20が信号線12(n+1)と短絡する確率は0ではないが、短絡していても信号線12(n+1)が開放されているので、信号線12(n+1)で駆動される(m, n+1)番地の第1と第2の絶縁ゲート型トランジスタのドレイン電極に接続されている別の接続線が信号線12(n)または信号線12(n+2)と同時に短絡していない限り、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1と(m, n+2)番地の第2の絶縁ゲート型トランジスタ10-2の検査には支障ないことが分かるであろう。2箇所続けてこのような短絡が発生する確率は現在の十分に管理された製造工程ではほぼ0であると言ってもよく、また接続線20と信号線12との交差部近傍において二つの開口部21-1と21-2とで接続線20を分断出来るようにしておけば最終的には二次的な不良は発生しないことも分かる。同様に接続線20と第1の絶縁ゲート型トランジスタのドレイン電極との交差部において

も開口部 21-3 を設けておけばよい。第 3 図 (c) に対応したパターン配置図を第 3 図 (b) に示す。接続線 20 は絵素電極 14-1、14-2 も配線の一部を兼ねさせ Cr よりなる接続パターン 25 と A1 の接続パターン 34-1、34-2 で構成しておけば、接続線 20 と第 1 の絶縁ゲート型トランジスタのドレイン配線または絵素電極との交差部において多層配線が可能である。なお、等価回路が複雑となるので、第 3 図 (a) 上では液晶セルは省略されているが、第 2 図 (a) と同じように絶縁ゲート型トランジスタのドレイン電極には全て液晶セルが接続されていることは言うまでもない。

第 4 図 (a) の回路構成によれば、(m, n) 番地の第 1 の絶縁ゲート型トランジスタ 10-1 は、接続線 20 を経由して (m+1, n+1) 番地の第 2 の絶縁ゲート型トランジスタ 10-2 とドレインを共通にする閉ループを構成している。従って、2 本の信号線 12 (n) と 12 (n+1) との間に直流電圧を印加し、かつそこを流れる電

流値を測定しておけば、2 本の走査線 11 (m) と 11 (m+1) に印加する直流電圧の大きさと二つの絶縁ゲート型トランジスタの良否判定が可能である。例えば、走査線 11 (m) に第 1 の絶縁ゲート型トランジスタ 10-1 が十分 ON するに足る電圧を印加し、走査線 11 (m+1) には第 2 の絶縁ゲート型トランジスタ 10-2 が ON しない電圧を印加した時に信号線 12 (n) と 12 (n+1) との間に電流が流れていれば第 2 の絶縁ゲート型トランジスタ 10-2 のソースとドレインとが短絡していることが分かり、確立的には極めて低いのであるが、2 本の走査線に ON しない電圧を印加しているにもかかわらず電流が流れていればどちらの絶縁ゲート型トランジスタもソースとドレインとが短絡していることが分かるからである。すなわち、2 個の絶縁ゲート型トランジスタのどちらかに OFF 電流大の不良が発生しても識別可能である。しかしながら、ON 電流小の不良に対してはその回路構成の対称性から識別は不可能である。このように 2 本ずつ走査線と

信号線を組み合わせていけば全ての駆動用絶縁ゲート型トランジスタの特性と内部短絡を検査することが出来る。第 4 図 (a) に対応したパターン配置図を第 4 図 (b) に示す。絵素電極を大きくするために、絵素電極 14-1 も接続線 20 の一部を担っている。接続線 20 は Cr よりなる接続パターン 25-1、25-2 と A1 よりなる接続パターン 34-1、34-2 で構成しておけば、接続線 20 と走査線 11 との交差部において多層配線が可能であり、接続パターン 25-1、25-2 に形成された開口部 21-1、21-2 によって接続線 20 が分断されるようにしておけば、走査線 11 と接続パターン 34-2 とが短絡していたとしても最終的には二次的な不良は発生しない。

第 2 図から第 4 図までの実施態においては、絶縁ゲート型トランジスタの電気検査終了後の接続線 20 の除去、開放あるいは分断によって全て同一のアクティブマトリクス基板が得られ、信号線の両側に絵素電極が一つずつ配置されたものとな

る。二組の絶縁ゲート型トランジスタと絵素電極とで単位絵素を構成することから、ノーマリ・ブラックの表示方式に対して、いずれか一方の絶縁ゲート型トランジスタが電流能力不足で黒点欠陥になっても目立たないのは従来と同じ効果であるが、第 4 図の実施態においては、OFF 電流大あるいはソースとドレインとの間に短絡を有する絶縁ゲート型トランジスタの位置が同定できるので、パネル組み立てに先立ちレーザ等の切断手段を用いて当該の絶縁ゲート型トランジスタと絵素電極との接続を解除することにより白点欠陥を極めて高い精度で黒点欠陥に転化できる独自の効果が得られる。

第 3 の実施例として構成単位を走査線の両側に一組ずつ配置した場合、2 個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成のうちで最も簡単な構成を考察し、第 5 図の図面で説明する。なお、等価回路が複雑となるので、第 5 図 (a) 以降の実施例では液晶セルは全て省略することとし、絵素電極が接続線の役割を

担う配線についても省略することが有ることを予め断わって置く。

第5図(a)の回路構成によれば第4図(a)の回路構成と同様に、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は、接続線20を經由して $(m+1, n+1)$ 番地の第2の絶縁ゲート型トランジスタ10-2とドレインを共通にする閉ループを構成している。従って、2本の信号線12(n)と12(n+1)との間に直流電圧を印加し、かつそこを流れる電流値を測定しておけば、2本の走査線11(m)と11(m+1)に印加する直流電圧の大きさで二つの絶縁ゲート型トランジスタの良否判定が可能である。第5図(a)に対応したパターン配置図を第5図(b)に示す。接続線20はCrよりなる接続パターン25とAlよりなる接続パターン34-1、34-2で構成しておけば、接続線20と信号線12との交差部において多層配線が可能であり、接続パターン25に形成された開口部21-1、21-2によって接続線20が分断されるように

し、給素電極14-2にも接続線20の機能を分担させれば、給素電極を大きくすることが可能となる。接続線20の解除は接続パターン25に形成された開口部21によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第7図(a)の回路構成によれば、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は、接続線20を經由して $(m+1, n+2)$ 番地の第2の絶縁ゲート型トランジスタ10-2とドレインを共通にする閉ループを構成している。従って、2本の信号線12(n)と12(n+2)との間に直流電圧を印加し、かつそこを流れる電流値を測定しておけば、2本の走査線11(m)と11(m+1)に印加する直流電圧の大きさで二つの絶縁ゲート型トランジスタの良否判定が可能である。第7図(a)に対応したパターン配置図を第7図(b)に示す。接続線20はCrよりなる接続パターン25とAlよりなる接続パターン34-1、34-2で構成しておけば、接続線

しておけば、二次的な不良は発生しない。

第4の実施例として構成単位を走査線と信号線の交点毎に対角の位置に一組ずつ配置した場合、2個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成は3種類あり、第6図から第8図までの図面で実施態として説明する。

第6図(a)の回路構成によれば第5図(a)の回路構成と同様に、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は、接続線20を經由して $(m+1, n+1)$ 番地の第2の絶縁ゲート型トランジスタ10-2とドレインを共通にする閉ループを構成している。従って、2本の信号線12(n)と12(n+1)との間に直流電圧を印加し、かつそこを流れる電流値を測定しておけば、2本の走査線11(m)と11(m+1)に印加する直流電圧の大きさで二つの絶縁ゲート型トランジスタの良否判定が可能である。第6図(a)に対応したパターン配置図を第6図(b)に示す。接続線20をCrよりなる接続パターン25とAlよりなる接続パターン34で構成

20と信号線12との交差部において多層配線が可能であり、接続パターン25に形成された開口部21-1、21-2によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第8図(a)の回路構成によれば、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は、接続線20を經由して $(m+2, n+1)$ 番地の第2の絶縁ゲート型トランジスタ10-2とドレインを共通にする閉ループを構成している。従って、2本の信号線12(n)と12(n+1)との間に直流電圧を印加し、かつそこを流れる電流値を測定しておけば、2本の走査線11(m)と11(m+2)に印加する直流電圧の大きさで二つの絶縁ゲート型トランジスタの良否判定が可能である。第8図(a)に対応したパターン配置図を第8図(b)に示す。接続線20はCrよりなる接続パターン25-1、25-2とAlよりなる接続パターン34-1~34-3で構成しておけば、接続線20と走査線11との交差部にお

いて多層配線が可能であり、接続パターン25-1、25-2に形成された開口部21-1、21-2によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第5の実施例として構成単位を信号線の片側に二組配置した場合、2個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成は2種類あり、第9図から第10図までの図面で実施態として説明する。

第9図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1のドレイン電極または給索電極は接続線20を経由して(m, n+1)番地の第2の絶縁ゲート型トランジスタ10-2のドレイン電極または給索電極に接続されている。したがって2本の信号線12(n)と12(n+1)との間に直流電圧を印加し、走査線11(m)に印加する直流電圧に絶縁ゲート型トランジスタが十分にONする電圧とOFFする電圧を選択して印加し、2本の信号線間を流れる電流値を測定することにより第1と

従って、2本の信号線12(n)と12(n+1)との間に直流電圧を印加し、かつそこを流れる電流値を測定しておけば、2本の走査線11(m)と11(m+1)に印加する直流電圧の大きさで2つの絶縁ゲート型トランジスタの良否判定が可能である。第10図(a)に対応したパターン配置図を第10図(b)に示す。接続線20はCrよりなる接続パターン25-1、25-2とAlよりなる接続パターン34-1、34-2、34-3で構成しておけば、接続線20と走査線11および接続線20と信号線12との交差部において多層配線が可能であり、接続パターン25-1、25-2に形成された開口部21-1~21-3によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第3から第5までの実施例においては、二組の絶縁ゲート型トランジスタと給索電極とで単位給索を構成することから、ノーマリ・ブラックの表示方式に対して、いずれか一方の絶縁ゲート型トランジスタが電流能力不足で黒点欠陥になっても

第2の二つの絶縁ゲート型トランジスタを直列に接続した状態でON/OFF検査することができ。ただし、第2図(a)や第3図(a)の実施態と同様に、回路の対称性から点欠陥の検出が可能なのである。第9図(a)に対応したパターン配置図を第9図(b)に示す。接続線20はCrよりなる接続パターン25とAlの接続パターン34-1、34-2で構成しておけば、接続線20と第1の絶縁ゲート型トランジスタのドレイン電極または給索電極との交差部、および接続線20と信号線12との交差部において多層配線が可能であり、接続パターン25に形成された開口部21-1~21-3によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第10図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は、接続線20を経由して(m+1, n+1)番地の第2の絶縁ゲート型トランジスタ10-2とドレインを共通にする閉ループを構成している。

目立たないのは従来と同じ効果であるが、第9図の実施態を除いては第4図の実施態と同様にOFF電流大あるいはソースとドレインとの間に短絡を有する絶縁ゲート型トランジスタの位置が同定できるので、パネル組み立てに先立ちレーザ等の切断手段を用いて給索電極との接続を解除することにより白点欠陥を極めて高い精度で黒点欠陥に転化できる独自の効果が得られる。

駆動用の絶縁ゲート型トランジスタと給索電極よりなる構成単位を4組用査して、更に点欠陥の緩和を図ることもやや複雑な回路構成とはなるが可能であり、その場合に構成単位を表示領域内に配置する方法は4種類あり、以下の実施例について順に説明を続行する。

第6の実施例として4組の構成単位を走査線と信号線の交点毎に全ての対角の位置に1組ずつ配置した場合、2個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成は2種類あり、第11図から第12図までの図面で実施態として説明する。第11図(a)の回路構成に

よれば、 (m, n) 番地の第1の絶 ート型トランジスタ10-1は接続線20-1を経由して $(m+1, n+1)$ 番地の第2の絶縁ゲート型トランジスタ10-2と、また $(m+1, n)$ 番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して $(m, n+2)$ 番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11 (m) と11 $(m+1)$ 、および2本の信号線12 (n) と12 $(n+1)$ とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11 (m) と11 $(m+1)$ 、および2本の信号線12 (n) と12 $(n+2)$ とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。ただし回路の対称性から2個ずつ組み合わせて行

と、また $(m, n+1)$ 番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して $(m+2, n)$ 番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11 (m) と11 $(m+1)$ 、および2本の信号線12 (n) と12 $(n+1)$ とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11 (m) と11 $(m+2)$ 、および2本の信号線12 (n) と12 $(n+1)$ とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。第12図(a)に対応したパターン配置図を第12図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パ

なう検査において、OFF電流大の不良は発生場所が識別できるが、ON電流少の不良はどちらに起因しているか識別はできず、有るか無いかは判定できるだけである。第11図(a)に対応したパターン配置図を第11図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パターン25-2とAlよりなる接続パターン34-3、34-4で構成しておけば、接続線20-1と接続線20-2、および接続線20-2と信号線12との交差部において多層配線が可能であり、接続パターン25-1、25-2に形成された開口部21-1~21-5によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第12図(a)の回路構成によれば、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して $(m+1, n+1)$ 番地の第2の絶縁ゲート型トランジスタ10-2と、また $(m, n+1)$ 番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して $(m+2, n)$ 番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11 (m) と11 $(m+1)$ 、および2本の信号線12 (n) と12 $(n+1)$ とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11 (m) と11 $(m+2)$ 、および2本の信号線12 (n) と12 $(n+1)$ とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。第12図(a)に対応したパターン配置図を第12図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パ

ターン25-2、25-3とAlよりなる接続パターン34-3、34-4、34-5で構成しておけば、接続線20-1と接続線20-2、および接続線20-2と走査線11との交差部において多層配線が可能であり、接続パターン25-1、25-2に形成された開口部21-1~21-5によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第7の実施例として4組の構成単位を二つに分け、信号線の両側に2組ずつ配置した場合、2個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成は2種類あり、第13図から第14図までの図面で実施態として説明する。第13図の回路構成によれば、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して $(m+1, n+2)$ 番地の第2の絶縁ゲート型トランジスタ10-2と、また (m, n) 番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して $(m+1, n+1)$ 番地の第4の絶

ジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+2)とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。第13図に対応したパターン配置図はやや複雑となるので省略する。

第14図の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して(m+2, n+1)番地の第2の絶縁ゲート型トランジスタ10-2と、また(m, n)番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して(m

第15図の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して(m+1, n+1)番地の第2の絶縁ゲート型トランジスタ10-2と、また(m, n+1)番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して(m+2, n)番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11(m)と11(m+2)、および2本の信号線12(n)と12(n+1)とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。第15図に対応したパ

+1, n+1)番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+2)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。第14図に対応したパターン配置図もやや複雑となるので省略する。

第8の実施例として4組の構成単位を二つに分け、走査線の両側に2組ずつ配置した場合、2個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成は2種類あり、第15図から第18図までの図面で実施例として説明する。

ーン配置図はやや複雑となるので省略する。

第16図の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して(m+1, n+1)番地の第2の絶縁ゲート型トランジスタ10-2と、また(m, n+2)番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して(m+1, n)番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+2)とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行う

ことが出来るのである。第18図に対応したパターン配置図もやや複雑となるので省略する。

第8の実施例として4組の構成単位を二つに分け、走査線と信号線の交点毎に対角の位置に2組ずつ配置した場合、2個の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成は2種類あり、第17図から第18図までの図面で実施態として説明する。

第17図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して(m+1, n+1)番地の第2の絶縁ゲート型トランジスタ10-2と、また(m, n)番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して(m+1, n+2)番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2

番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して(m+1, n+1)番地の第2の絶縁ゲート型トランジスタ10-2と、また(m, n)番地の第3の絶縁ゲート型トランジスタ10-3は接続線20-2を経由して(m+2, n+1)番地の第4の絶縁ゲート型トランジスタ10-4と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11(m)と11(m+2)、および2本の信号線12(n)と12(n+1)とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。第18図(a)に対応したパターン配置図を第18図(b)に示す。接続

の絶縁ゲート型トランジスタ10-2の良否判定を行い、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+2)とを用いて、第3の絶縁ゲート型トランジスタ10-3と第4の絶縁ゲート型トランジスタ10-4の良否判定を行うことによって合計4個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。第17図(a)に対応したパターン配置図を第17図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パターン25-2とAlよりなる接続パターン34-3、34-4で構成しておけば、接続線20-2と信号線12との交差部において多層配線が可能であり、接続パターン25-1、25-2に形成された開口部21-1~21-3によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

第18図(a)の回路構成によれば、(m, n)

線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パターン25-2、25-3とAlよりなる接続パターン34-3、34-4、34-5で構成しておけば、接続線20-2と走査線11との交差部において多層配線が可能であり、接続パターン25-1~25-3に形成された開口部21-1~21-3によって接続線20-1と20-2が分断されるようにしておけば、二次的な不良は発生しない。

既に説明してきたように2個の絶縁ゲート型トランジスタを直列に接続して一度に行なう良否判定では、絶縁ゲート型トランジスタの不良としてOFF電流大もしくはソース・ドレイン間の短絡はどちら側で発生しても識別可能であるが、ON電流小に関しては、どちら側で発生しても区別することはできない。すなわち、ノーマリ・ホワイト表示の場合に白点欠点は番地が判っているのでレーザ・トリミングによって黒点欠陥に転化する

ことは可能であるが、黒点欠陥に関しては修正や補正が行えない。しかしながら、第8から第9までの実施例においては絶縁ゲート型トランジスタと給電電極とよりなる構成単位が4組あるので、ノーマリ・ホワイト表示の場合には黒点欠陥の改善効果は著しく高くなり、通常は黒点欠陥まで修正を行なう必要性が無い。

駆動用の絶縁ゲート型トランジスタの電気特性を検査するに当たり、補助の絶縁ゲート型トランジスタを導入し、一つの絶縁ゲート型トランジスタの検査を2回実施することにより、第1の実施例と同じように全ての絶縁ゲート型トランジスタの特性不良が識別できるようになる。この概念が本発明の第3のポイントであり、点欠陥の緩和と修正または補正を目的としているので、駆動用の絶縁ゲート型トランジスタが2個以上無ければ意味がないので、2個の場合について回路構成を考察することとする。

既に第2から第5までの実施例に示したように、駆動用の絶縁ゲート型トランジスタと給電電極と

型トランジスタ10-1と補助の絶縁ゲート型トランジスタ40の良否判定を行い、2本の走査線11(m+1)と11(m+2)、および2本の信号線12(n+1)と12(n+2)とを用いて、第2の絶縁ゲート型トランジスタ10-2と補助の絶縁ゲート型トランジスタ40の良否判定を行うことによって合計3個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。

絶縁ゲート型トランジスタの良否判定に当たり、補助の絶縁ゲート型トランジスタ40は2回の検査を受けるため、共通因子として駆動用の絶縁ゲート型トランジスタの電気特性の評価に寄与できる。絶縁ゲート型トランジスタのON電流少(ソース・ドレイン間開放も含む)とOFF電流大(ソース・ドレイン間短絡も含む)等の主要不良が解接もしくは極めて近接して発生する確率はほぼ0であるという仮定に従えば、例えば第1の絶縁ゲート型トランジスタと補助の絶縁ゲート型トランジスタとの組合せにおいて何れかの絶

よりなる構成単位を二組とした場合に表示領域内に構成単位を配置する方法は4種類あり、以下第10から第13までの実施例として説明する。

第10の実施例として構成単位を走査線と信号線の交点毎に対角の位置に一組ずつ配置した場合、2個の絶縁ゲート型トランジスタと補助の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成のうち、最も簡単なものを第18図で実施態として説明する。

第18図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して(m+1, n+1)番地の補助の絶縁ゲート型トランジスタ40と、また(m+2, n+2)番地の第2の絶縁ゲート型トランジスタ10-2は接続線20-2を経由して同じく補助の絶縁ゲート型トランジスタ40と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート

型トランジスタにON電流少が発生した場合には、第2の絶縁ゲート型トランジスタと補助の絶縁ゲート型トランジスタとの組合せの結果が正常であれば、第1の絶縁ゲート型トランジスタにON電流少が発生したと判定でき、後者の組合せにおいても何れかの絶縁ゲート型トランジスタにON電流少が発生しているのであれば、第1と第2の絶縁ゲート型トランジスタに同時にON電流少が発生する確率はほぼ0であるという仮定から補助の絶縁ゲート型トランジスタにON電流少が発生したと判定出来るのである。

第19図(a)の回路構成では正確を期するのであれば、2本の走査線11(m)と11(m+2)、および2本の信号線12(n)と12(n+2)とを用いて、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2の良否判定を追加して行えば、3個の絶縁ゲート型トランジスタは全て2回の検査を受けることになり、補助の絶縁ゲート型トランジスタにON電流少が発生した場合でも、第1と第2の、

すなわち駆動用の絶縁ゲート型トランジスタの完全な良否判定が行える。ただし、良否判定のための検査回数が増えて、検査時間が長くなる欠点は否めない。

第19図(a)に対応したパターン配置図を第19図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1で構成し、接続線20-2はCrよりなる接続パターン25-2、25-3とAlよりなる接続パターン34-2で構成しておけば、接続線20-1と接続線20-2、接続線20-1と信号線12および接続線20-2と走査線11との交差部において多層配線が可能であり、補助の絶縁ゲート型トランジスタはCrよりなる接続パターン25-2、25-4とAlよりなる接続パターン34-3で回路を構成しておき、接続パターン25-1~25-4に形成された開口部21-1~21-6によって接続線20が分断されるとともに補助の絶縁ゲート型トランジスタが走査線と信号線から接続を解除されるようにして

型トランジスタ10-1と補助の絶縁ゲート型トランジスタ40の良否判定を行い、2本の走査線11(m+1)と11(m+2)、および2本の信号線12(n)と12(n+1)とを用いて、第2の絶縁ゲート型トランジスタ10-2と補助の絶縁ゲート型トランジスタ40の良否判定を行うことによって合計3個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。

第20図(a)の回路構成では、第1と第2の絶縁ゲート型トランジスタは直列に閉ループを構成しないため第10の実施例のように完全な良否判定はできないが、既に何度も強調しているように、絶縁ゲート型トランジスタのON電流少とOFF電流大の主要不良が隣接または極めて近接して発生する確率がほぼ0である限りにおいては支障ない良否判定が可能である。

第20図(a)に対応したパターン配置図を第20図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パ

おけば、補助の絶縁ゲート型トランジスタが走査線と信号線と短絡していたとしても最終的には二次的な不良は発生しないことが分かるであろう。

第11の実施例として構成単位を走査線の両側に一組ずつ配置した場合、2個の絶縁ゲート型トランジスタと補助の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成のうち、最も簡単なものを第20図で実施態として説明する。

第20図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1、20-2を経由して(m+2, n+1)番地の補助の絶縁ゲート型トランジスタ40と、また(m+1, n)番地の第2の絶縁ゲート型トランジスタ10-2は接続線20-2を経由して同じく補助の絶縁ゲート型トランジスタ40と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+2)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート

ターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パターン25-2、25-3とAlよりなる接続パターン34-3、34-4で構成しておけば、接続線20-2と走査線11との交差部において多層配線が可能であり、補助の絶縁ゲート型トランジスタ40はCrよりなる接続パターン25-4とAlよりなるソース・ドレイン配線34-5、34-6で回路を構成しておき、接続パターン25-1~25-4に形成された開口部21-1~21-4によって接続線20が分断されるとともに補助の絶縁ゲート型トランジスタが信号線から接続を解除されるようにしておけば、補助の絶縁ゲート型トランジスタが走査線と信号線と短絡していたとしても二次的な不良は発生しない。

第12の実施例として構成単位を信号線の両側に一組ずつ配置した場合、2個の絶縁ゲート型トランジスタと補助の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成のうち、最も簡単なものを第21図で実施態として説明す

る。

第21図(a)の回路構成によれば、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1を経由して $(m+1, n+1)$ 番地の補助の絶縁ゲート型トランジスタ40と、また $(m-1, n+2)$ 番地の第2の絶縁ゲート型トランジスタ10-2は接続線20-2を経由して同じく補助の絶縁ゲート型トランジスタ40と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート型トランジスタ10-1と補助の絶縁ゲート型トランジスタ40の良否判定を行い、2本の走査線11(m-1)と11(m+1)、および2本の信号線12(n+1)と12(n+2)とを用いて、第2の絶縁ゲート型トランジスタ10-2と補助の絶縁ゲート型トランジスタ40の良否判定を行うことによって合計3個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来る。

号線12との交差部において多層配線が可能であり、補助の絶縁ゲート型トランジスタ40はCrよりなる接続パターン25-4とAlよりなる接続パターン34-2、34-5で回路を構成しておき、接続パターン25-1~25-4に形成された開口部21-1~21-7によって接続線20が分断されるとともに補助の絶縁ゲート型トランジスタが信号線から接続を解除されるようにしておけば、補助の絶縁ゲート型トランジスタが走査線や信号線と短絡していたとしても二次的な不良は発生しない。

第13の実施例として構成単位を信号線の片側に二組ずつ配置した場合、2個の絶縁ゲート型トランジスタと補助の絶縁ゲート型トランジスタが直列に閉ループを構成するような回路構成のうち、最も簡単なものを2種類考案し、第22図と第23図で実施態として説明する。

第22図(a)の回路構成によれば、 (m, n) 番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1、20-2を経由して $(m+2,$

のである。

第21図(a)の回路構成では、第1と第2の絶縁ゲート型トランジスタは直列に閉ループを構成し、2本の走査線で別々にON・OFF制御されるため、第1の絶縁ゲート型トランジスタ10-1と第2の絶縁ゲート型トランジスタ10-2と組合せの良否判定を追加して行えば、3個の絶縁ゲート型トランジスタは全て2回の検査を受けることになり、補助の絶縁ゲート型トランジスタにON電流減少が発生した場合でも、第1と第2の、すなわち駆動用の絶縁ゲート型トランジスタの完全な良否判定が行える。

第21図(a)に対応したパターン配置図を第21図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パターン25-2、25-3とAlよりなる接続パターン34-3、34-4で構成しておけば、接続線20-1と接続線20-2、接続線20-2と走査線11および信

$n+1)$ 番地の補助の絶縁ゲート型トランジスタ40と、また $(m+1, n)$ 番地の第2の絶縁ゲート型トランジスタ10-2は接続線20-2を経由して同じく補助の絶縁ゲート型トランジスタ40と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+2)、および2本の信号線12(n)と12(n+1)とを用いて、第1の絶縁ゲート型トランジスタ10-1と補助の絶縁ゲート型トランジスタ40の良否判定を行い、2本の走査線11(m+1)と11(m+2)、および2本の信号線12(n)と12(n+1)とを用いて、第2の絶縁ゲート型トランジスタ10-2と補助の絶縁ゲート型トランジスタ40の良否判定を行うことによって合計3個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。

第22図(a)の回路構成では、第1と第2の絶縁ゲート型トランジスタは直列に閉ループを構成できないため、絶縁ゲート型トランジスタの良

否判定に関する精度は第11の実施例の場合と同等である。

第22図(a)に対応したパターン配置図を第22図(b)に示す。接続線20-1はCrよりなる接続パターン25-1、25-2とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2はCrよりなる接続パターン25-3とAlよりなる接続パターン34-3、34-4で構成しておけば、接続線20-1と走査線11との交差部において多層配線が可能であり、補助の絶縁ゲート型トランジスタ40はCrよりなる接続パターン25-4とAlよりなる接続パターン34-4、34-5で回路を構成しておき、接続パターン25-1~25-3に形成された開口部21-1~21-4によって接続線20が分断されるとともに補助の絶縁ゲート型トランジスタ40が走査線と信号線から接続を解除されるようにしておけば、補助の絶縁ゲート型トランジスタが走査線や信号線と短絡していたとしても二次的な不良は発生しない。

第23図(a)の回路構成では、第1と第2の絶縁ゲート型トランジスタは接続線20-1、20-2を經由して直列に閉ループを構成しているが、1本の共通の走査線で同時にON/OFF制御されるためON電流少の不良は、第1と第2の絶縁ゲート型トランジスタを組み合わせたの検査では識別できないが、補助の絶縁ゲート型トランジスタと第1と第2の絶縁ゲート型トランジスタとを組合せた検査結果を加味すると、絶縁ゲート型トランジスタの良否判定に関する精度は実用上何等支障無いものとなっている。

第23図(a)に対応したパターン配置図を第23図(b)に示す。接続線20-1はCrよりなる接続パターン25-1とAlよりなる接続パターン34-1、34-2で構成し、接続線20-2は接続パターン25-1の一部とAlよりなる接続パターン34-3で構成しておけば、接続線20-1と信号線12との交差部において多層配線が可能であり、補助の絶縁ゲート型トランジスタ40はCrよりなる接続パターン25-2と

第23図(a)の回路構成によれば、(m, n)番地の第1の絶縁ゲート型トランジスタ10-1は接続線20-1、20-2を經由して(m+1, n+2)番地の補助の絶縁ゲート型トランジスタ40と、また(m, n+1)番地の第2の絶縁ゲート型トランジスタ10-2は接続線20-2を經由して同じく補助の絶縁ゲート型トランジスタ40と、それぞれドレインを共通にする閉ループを構成している。従って、2本の走査線11(m)と11(m+1)、および2本の信号線12(n)と12(n+2)とを用いて、第1の絶縁ゲート型トランジスタ10-1と補助の絶縁ゲート型トランジスタ40の良否判定を行い、2本の走査線11(m)と11(m+1)、および2本の信号線12(n+1)と12(n+2)とを用いて、第2の絶縁ゲート型トランジスタ10-2と補助の絶縁ゲート型トランジスタ40の良否判定を行うことによって合計3個の絶縁ゲート型トランジスタの良否判定を独立して行うことが出来るのである。

Alよりなる接続パターン34-2、34-4で回路を構成しておき、接続パターン25-1、25-2に形成された開口部21-1~21-4によって接続線20が分断されるとともに補助の絶縁ゲート型トランジスタ40が信号線から接続を解除されるようにしておけば、補助の絶縁ゲート型トランジスタが走査線や信号線と短絡していたとしても二次的な不良は発生しない。

以上、補助の絶縁ゲート型トランジスタを併用して駆動用の2個の絶縁ゲート型トランジスタを電気検査する回路構成について説明したが、構成単位を4組用意したりあるいは補助の絶縁ゲート型トランジスタを導入することにより、接続線が増えたり長くなって表示に寄与する線素電極の大きさが小さくなり、開口率が低下して表示画面の明るさが暗くなるのは同じデザイン・ルールで描かれたパターン配置図との比較からも明かであるが、黒点欠陥の緩和がより促進されたり、ON電流少の不良までも検出可能となる効果は本発明の極めて独自の特徴である。さらに補助の絶縁ゲ-

ト型トランジスタを 入しなくても 2 個の絶縁ゲート型トランジスタを独立して 2 回電気検査する回路構成は考えられ、その最も簡単なものとして、第 14 の実施例では同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給電電極とより成る一組の構成単位を走査線と信号線との交点毎に対角の位置に二組有するアクティブマトリクス基板を第 24 図で、第 15 の実施例では同一の走査線と信号線とで駆動される絶縁ゲート型トランジスタと給電電極とより成る一組の構成単位を走査線と信号線との交点毎に信号線の両側に二組有するアクティブマトリクス基板を第 25 図で説明する。

第 24 図 (a) の回路構成によれば、 (m, n) 番地の第 1 の絶縁ゲート型トランジスタ 10-1 は接続線 20-1 を経由して $(m+1, n+2)$ 番地の第 2 の絶縁ゲート型トランジスタ 10-2 と、また接続線 20-2 を経由して同じく $(m+2, n+1)$ 番地の第 2 の絶縁ゲート型トランジスタ 10-2 と、それぞれドレインを共通にする

-2 は Cr よりなる 25-2、25-3 と Al よりなる接続パターン 34-1 ~ 34-3 で構成しておけば、接続線 20-1 と接続線 20-2、接続線 20-1 と信号線 12 および接続線 20-2 と走査線 11 との交差部において多層配線が可能であり、接続パターン 25-1 ~ 25-3 に形成された開口部 21-1 ~ 21-6 によって接続線 20 が分断されるようにしておけば、二次的な不良は発生しない。

第 25 図 (a) の回路構成によれば、 (m, n) 番地の第 1 の絶縁ゲート型トランジスタ 10-1 は接続線 20-1 を経由して $(m+1, n+1)$ 番地の第 2 の絶縁ゲート型トランジスタ 10-2 と、また接続線 20-2 を経由して同じく $(m-1, n+2)$ 番地の第 2 の絶縁ゲート型トランジスタ 10-2 と、それぞれドレインを共通にする閉ループを構成している。従って、先ず 2 本の走査線 11 (m) と 11 ($m+1$)、および 2 本の信号線 12 (n) と 12 ($n+1$) とを用いて、第 1 の絶縁ゲート型トランジスタ 10-1 と $(m$

閉ループを構成している。従って、先ず 2 本の走査線 11 (m) と 11 ($m+1$)、および 2 本の信号線 12 (n) と 12 ($n+2$) とを用いて、第 1 の絶縁ゲート型トランジスタ 10-1 と $(m+1, n+2)$ 番地の第 2 の絶縁ゲート型トランジスタ 10-2 との良否判定を行い、次に 2 本の走査線 11 (m) と 11 ($m+2$)、および 2 本の信号線 12 (n) と 12 ($n+1$) とを用いて、第 1 の絶縁ゲート型トランジスタ 10-1 と $(m+2, n+1)$ 番地の第 2 の絶縁ゲート型トランジスタ 10-2 との良否判定を行うことによって、第 1 の絶縁ゲート型トランジスタを 2 回続けて検査することになる。このように第 1 と第 2 の絶縁ゲート型トランジスタをそれぞれ 2 回続けて ON/OFF 検査することにより全ての絶縁ゲート型トランジスタを良否判定する事が出来る。

第 24 図 (a) に対応したパターン配置図を第 24 図 (b) に示す。接続線 20-1 は Cr よりなる接続パターン 25-1、25-2 と Al よりなる接続パターン 34-1 で構成し、接続線 20

+1, $n+1$) 番地の第 2 の絶縁ゲート型トランジスタ 10-2 との良否判定を行い、次に 2 本の走査線 11 ($m-1$) と 11 (m)、および 2 本の信号線 12 (n) と 12 ($n+2$) とを用いて、第 1 の絶縁ゲート型トランジスタ 10-1 と $(m-1, n+2)$ 番地の第 2 の絶縁ゲート型トランジスタ 10-2 との良否判定を行うことによって、第 1 の絶縁ゲート型トランジスタを 2 回続けて検査することになる。このように第 1 と第 2 の絶縁ゲート型トランジスタをそれぞれ 2 回続けて ON/OFF 検査することにより全ての絶縁ゲート型トランジスタを良否判定することが出来る。

第 25 図 (a) に対応したパターン配置図を第 25 図 (b) に示す。接続線 20-1 は Cr よりなる接続パターン 25-1、25-2 と Al よりなる接続パターン 34-1、34-2 で構成し、接続線 20-2 は Cr よりなる 25-3、25-4 と Al よりなる接続パターン 34-3、34-4 で構成しておけば、接続線 20-1 と接続線 20-2、接続線 20-1 と走査線 11 および接続

線20-2と信号線12との交差部において多層配線が可能であり、接続パターン25-1~25-4に形成された開口部21-1~21-5によって接続線20が分断されるようにしておけば、二次的な不良は発生しない。

以上、駆動用の絶縁ゲート型トランジスタと絵素電極とよりなる構成単位を表示エリア内に1組、2組および4組有するアクティブマトリクス基板において、絶縁ゲート型トランジスタが閉ループを構成するように絶縁ゲート型トランジスタまたは当該絶縁ゲート型トランジスタに接続された絵素電極相互間、および信号線との間に接続線を配置し、外部から絶縁ゲート型トランジスタの電気特性や内部短絡等の諸特性を検査した後、前記接続を解除してパネル組み立て工程に進行させるアクティブマトリクス基板の製造方法について説明した。この結果、パネル化する前段階において、点欠陥の主原因である絶縁ゲート型トランジスタのON電流少(ソース・ドレイン間開放)とOFF電流大(ソース・ドレイン間短絡)の存在を認

査終了後に絵素電極を形成する製造方法が採用される。なぜならば、点欠陥の主原因となる駆動用の絶縁ゲート型トランジスタの特性不良や内部短絡等の情報収拾のためには(実施例においては接続線の一部として流用されるパターン配置図も図示してはいるが)絵素電極は必ずしも必要ではないからで、点欠陥の補正または修正が可能となるためには、表示エリア内に複数個の構成単位が必要であり、また形成された絵素電極が走査線や信号線、あるいは絶縁ゲート型トランジスタ等の構成因子上に位置して寄生容量を増やしたり、短絡したりすることは許されないもので、適用可能な回路構成は特許請求の範囲第8項、第11項、第13項、第15項、および第18項に記載されたものに限定される。これらはいずれも絵素電極と絶縁ゲート型トランジスタとよりなる構成単位が2個ずつ並んで配置され、しかも並んだ絵素電極間に走査線や信号、あるいは絶縁ゲート型トランジスタ等の構成因子が存在しない。従ってOFF電流大の絶縁ゲート型トランジスタを正規の回路

識できるので、その工業的価値は歩留まりが加速度的に低下する、特に大面積の表示デバイスにおいて著しく高い。OFF電流大に関してはノーマリ・ホワイト表示では白点欠陥になるので、レーザ等の切断手段を用いて絶縁ゲート型トランジスタを信号線や走査線から切り放して表示能力を失わせることにより黒点欠陥に転化することが可能であり、改善効果は白点欠陥の皆無化として評価される。ON電流少に関しては表示エリア内の絵素電極を複数化しておくことにより、通常の動画表示には全く支障ないをきたさない。

更なる改善は黒点欠陥をも皆無とするべくなされたもので、黒点欠陥に転化されて表示能力を喪失した、元々は白点欠陥に正常な表示能力を与えるための発明であり、第16の実施例として説明する。また黒点欠陥に正常な表示能力を与える発明については第17の実施例として説明する。

第16の実施例においては、アクティブマトリクス基板の製造に当り、絵素電極のみを除いて基板を製作し、絶縁ゲート型トランジスタの電気検

構成から切り放し、正常な絶縁ゲート型トランジスタ1個で2個の絵素電極に相当する大きさの1個の絵素電極を駆動することができる。この意味では予め電流駆動能力に余力を持たせたトランジスタ設計を行うべきで、特に絶縁ゲート型トランジスタ数を2とする場合は必須の設計事項と言える。絶縁ゲート型トランジスタの電流駆動能力はパターン設計上はチャネルの幅(W)と長さ(L)の比、 W/L で決定されることは公知である。

共有する一つの絵素電極と、OFF電流大または内部短絡を有する不良の絶縁ゲート型トランジスタとの接続を回避するには二つの方法がある。第1の方法としては絵素電極の形成のための写真食刻工程に於て、パターン形成のための感光樹脂にボジ型のもを用い、電気検査のデータに基づいてスポット露光を行い、不良の絶縁ゲート型トランジスタには絵素電極を一部欠除させてそれらの間に電気的な接触を与えずにおくものである。この方法は絶縁ゲート型トランジスタの電気検査結果を写真食刻工程にデータ転送しておく願わし

さはあるが、二次的な不良を伴わない特長がある。第2の方法としては絵素電極が形成されたときに、不良の絶縁ゲート型トランジスタと絵素電極との接続が与えられないようにドレインやドレイン配線をレーザー等の切断手段により除去しておく、あるいは不良の絶縁ゲート型トランジスタと走査線や信号線との接続を同じくレーザーで除去しておくことであり、絶縁ゲート型トランジスタの電気検査時に同時に行うことが可能で合理的である。しかしながら、レーザー照射による切断では基板上で飛散した導電性材料が再付着して二次的な不良を発生する恐れが皆無とは言えない欠点がある。

絶縁ゲート型トランジスタの形成後に絵素電極を形成する具体的な方法については、絶縁ゲート型トランジスタの構造と製造方法が多様であり全てを網羅することは出来ないで、特に考慮すべきポイントを以下に記しておくことにする。

それらは、1) 絶縁ゲート型トランジスタのトランジスタ特性に加熱処理により回復しないような損傷(ダメージ)を与えない、2) 絶縁ゲート

ソース・ドレイン間開放の不良の発生位置が識別できる回路構成は特許請求の範囲第17項から第33項に記載されたものであるが、本発明で提示したアクティブマトリクス基板構成では信号線上に絶縁層が存在していないことと、形成された絵素電極が走査線や信号線、あるいは絶縁ゲート型トランジスタ等の構成因子上に位置して寄生容量を増やしたり、短絡したりすることは許されないで、適用可能なパターン構成は特許請求の範囲第19項に記載されたものに限定される。これらはいずれも絵素電極と絶縁ゲート型トランジスタとよりなる構成単位が2個ずつ並んで配置され、しかも並んだ絵素電極間に走査線や信号線、あるいは絶縁ゲート型トランジスタ等の構成因子が存在していないからである。特性不良(ON電流小)の絶縁ゲート型トランジスタのドレイン電極または当該の絶縁ゲート型トランジスタに接続された絵素電極と、正常な絶縁ゲート型トランジスタのドレイン電極または当該の絶縁ゲート型トランジスタに接続された絵素電極とを導電性の小パター

型トランジスタのドレイン電極またはドレイン配線さらには接続が必要とされる配線層との間でオーミック・コンタクトを保つこと、3) 他の導電層あるいは絶縁層の膜厚や膜質を変化させないこと等であり、工業的には絵素電極を絶縁ゲート型トランジスタの形成後に形成することによって新たな製造工程の発生や特殊な製造機械の導入が必要となってコスト高にならぬよう留意する事が大切である。

第17の実施例として黒点欠陥に正常な表示能力を与える方法について説明する。絵素電極と駆動用の絶縁ゲート型トランジスタとよりなる構成単位において、絶縁ゲート型トランジスタにON電流少またはソース・ドレイン間開放の不良が発生した場合には、再近接の構成単位内の正常な絶縁ゲート型トランジスタより駆動電流の供給を受けることが出来れば、黒点欠陥を修正することができる。このためには第18の実施例と同様に予め電流駆動能力に余力を持たせたトランジスタ設計を行なっておく必要がある。ON電流少または

ンで接続するためには、例えば東京エレクトロン(株)より販売されている米国・マイクロオン社製のレーザー・スポット・デポジション装置LER-1Dが挙げられる。同装置は数10 Torrの減圧下で有機金属ガスを流しながら基板上にレーザーを照射することにより、数-数10 μm のパターン幅の導電性の小パターンを僅か0.1-0.2 μm の膜厚で1 μm の段差を有する基板上にカバレッジよく被覆形成できる。この様な小さなパターンで前記接続がなされるならば、走査線上と信号線上とに絶縁層が存在していれば小さなパターンと走査線または信号線との間で生じる寄生容量は画像表示に支障ないほど小さくなるので、特許請求の範囲第17項から第20項に記載された回路構成の全てに採用出来ることを補足しておく。

補助容量が導入されると、補助容量の共通線と、絶縁ゲート型トランジスタと信号線および絶縁ゲート型トランジスタ相互間の接続線との交差部が必然的に発生し、交差部に於いて短絡が発生する確率は0ではないことは明かであるので、実施例

においては理解を簡単にするため補助容量を有しないアクティブマトリクス基板について説明している。しかしながら、接続線は最終的には分断または除去されるので不良を増加させて歩留まりを低下させる恐れは無く、補助容量を有するアクティブマトリクス編成の場合にも本発明の有効性は損なわれるものではない。ただし、補助容量の共通線と接続線との短絡が余分な電流通路を形成するので電気検査の項目数が増加することは避けられないことを補足し、具体的な検査内容については本発明では省略しておく。

ここで、第28図に本発明のアクティブマトリクス基板を用いた場合の絵素電極の配置をまとめてみよう。第28図(a)は第1の実施例に対応した、従来と同じ配置図であり、走査線11と信号線の交点毎に一つの絵素電極14が存在している。第28図(b)は第2、第12および第15の実施例に対応した配置図であり、走査線11と信号線12との交点毎に信号線の両側に二つの絵素電極14-1、14-2が存在している。第2

8図(c)は第4、第10および第14の実施例に対応した配置図であり、走査線11と信号線12との交点毎に対角の位置に二つの絵素電極14-1、14-2が存在している。第28図(d)は第3と第11の実施例に対応した配置図であり、走査線11と信号線12との交点毎に走査線の両側に二つの絵素電極14-1、14-2が存在している。第28図(e)は第5と第13の実施例に対応した配置図であり、走査線11と信号線12との交点毎に信号線の片側に二つの絵素電極14-1、14-2が存在している。第28図(f)は第8の実施例に対応した配置図であり、走査線11と信号線12との交点毎に全ての対角の位置に四つの絵素電極14-1~14-4が一つずつ存在している。第28図(g)は第9の実施例に対応した配置図であり、走査線11と信号線12との交点毎に対角の位置に四つの絵素電極14-1~14-4が二つずつ存在している。第28図(h)は第8の実施例に対応した配置図であり、走査線11と信号線12との交点毎に走査線の両

側に四つの絵素電極14-1~14-4が二つずつ存在している。第28図(i)は第7の実施例に対応した配置図であり、走査線11と信号線12との交点毎に信号線の両側に四つの絵素電極14-1~14-4が二つずつ存在している。第28図からも容易に分かるように、絵素電極を複数化する場合には多種多様な配置があり、カラー表示に際してはドット(絵素電極)の大きさと色表示の分解能(絵素電極の分散度合)を考慮して最適のものを選定する事が望ましい。なお、多くの実施例の中で単位絵素を一行おきに半ピッチずらし、カラーフィルタ上のRGBの着色層の配列をデルタ(三角)配置とすることによって、絵素数が少ない場合でも見かけ上の解像力を確保することが可能な回路構成に対して、接続線の接続先が変更されて同時に電気検査における走査線と信号線の組合せが変更されても、当然本発明の範囲に属する。

なお、本発明の主旨に従えば、アクティブマトリクス基板は液晶パネルに限定される理由は存在

せず、光学素子としてELやSIC等の発光素子を有するデバイスであっても適用可能である。また液晶パネルも本文で説明した透過型に限定されるものではなく、絵素電極の形成に係る製造工程の多少の増減と変更を許せば反射型の液晶パネルにおいても極めて有用な発明であることを付記しておく。

発明の効果

以上のように本発明においては、まずアクティブマトリクス基板を液晶パネル化する前に、点欠陥の発生状況を推測することが可能となり、高価なカラーフィルタを無駄に使用する損失を回避できる。また、絶縁ゲート型トランジスタを複数化する技術との併用により点欠陥の緩和の自由度も大幅に強化され、最も進歩した形においては原理的に点欠陥が発生しないアクティブマトリクス基板を得ることができて歩留まりの向上をはかれる。

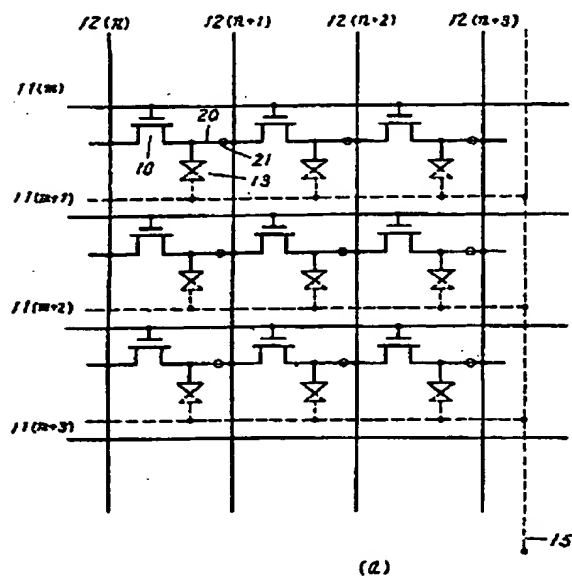
4. 図面の簡単な説明

第1図から第25図の実施例にかかるものであり、第13図から第18図および各図の(a)は

液晶パネルまたはアクティブマトリクス基板の等価回路図、各図の (b) は同等価回路に対応したパターン配置図、第 1 図 (c)、(d) は第 1 図 (a) 上の絶縁ゲート型トランジスタ (A-A' 線上) と接続線 (B-B' 線上) の断面図、第 2 6 図は本発明の実施例における線素電極の配置図、第 2 7 図は液晶パネルへの実装手段を与えた斜視図、第 2 8 図は従来のアクティブ型の液晶パネルの等価回路図、第 2 9 図および第 3 0 図は改善されたアクティブ型の液晶パネルの等価回路図である。

1…液晶パネル、2…アクティブ(マトリクス)基板、3…集積回路チップ、4…接続フィルム、5、6…信号線と走査線の電極端子(群)、9…カラーフィルタ、10…絶縁ゲート型トランジスタ、11(8)…走査線、12(7)…信号線、13…液晶セル、14…線素電極、16…蓄積容量、20…接続線、21…開口部、22…ソース配線、23…ドレイン配線、25…(Crの)接続パターン、26、27…開口部、28…信号線

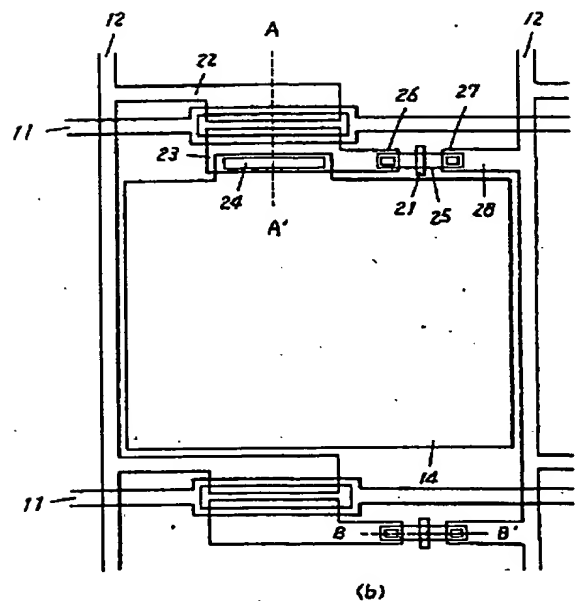
第 1 図



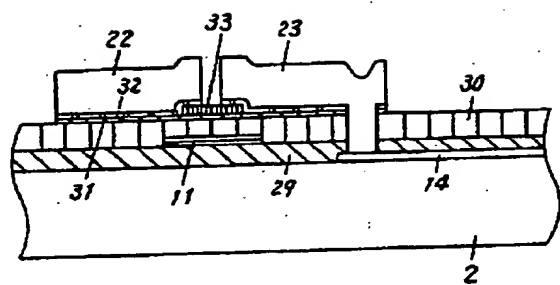
の分岐部、29…絶縁層、30…非晶質シリコン層、31…(不純物を含む)非晶質シリコン層、32…ゲート絶縁層、33…(エッチング・ストップ用)絶縁層、34…(Alの)接続パターン、40…補助の絶縁ゲート型トランジスタ。

代理人の氏名 弁理士 栗野重孝 ほか 1 名

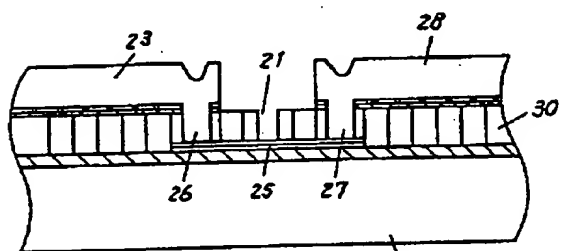
第 1 図



第 1 図

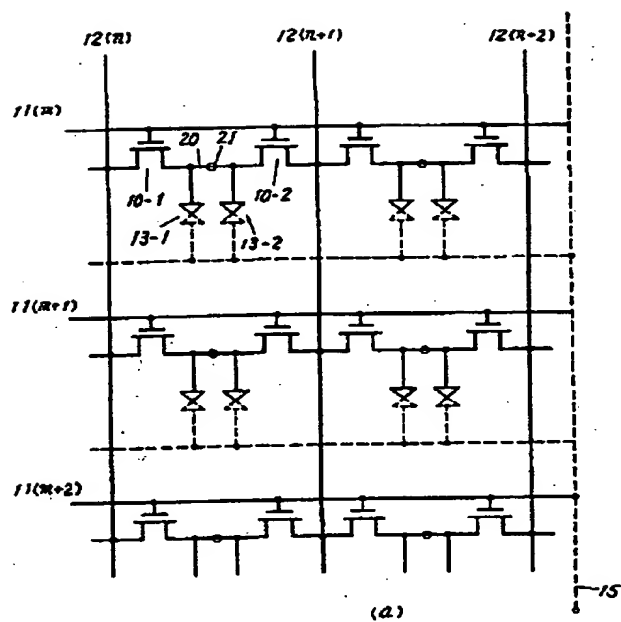


(c)



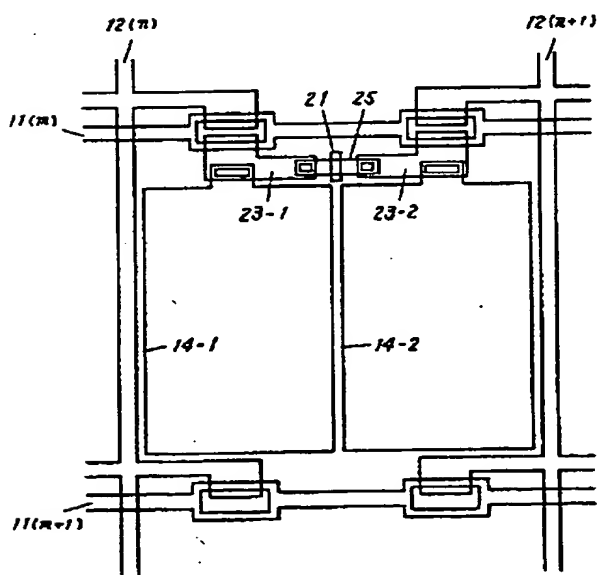
(d)

第 2 図



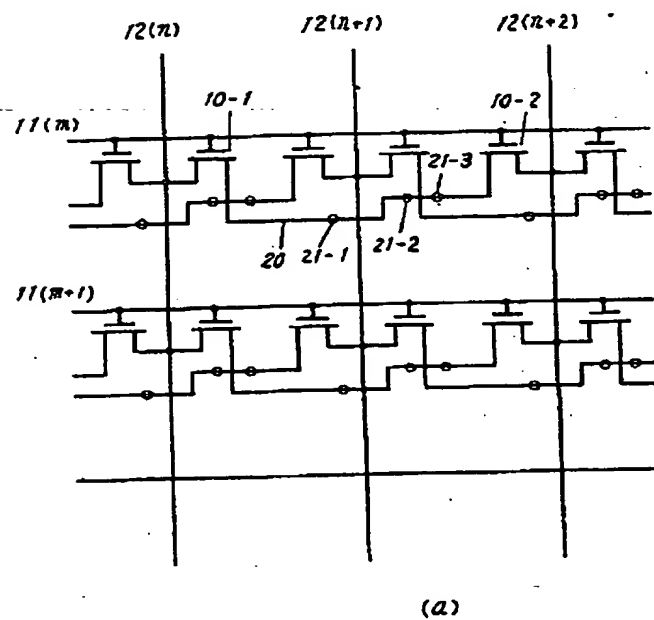
(a)

第 2 図



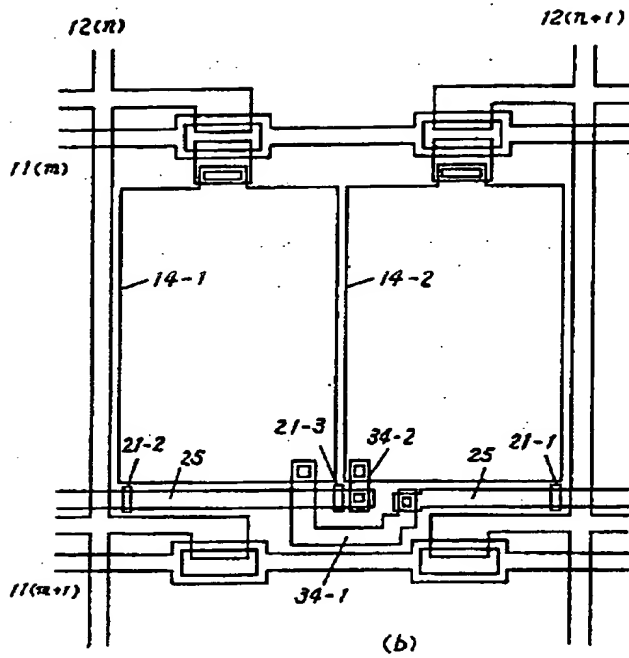
(b)

第 3 図

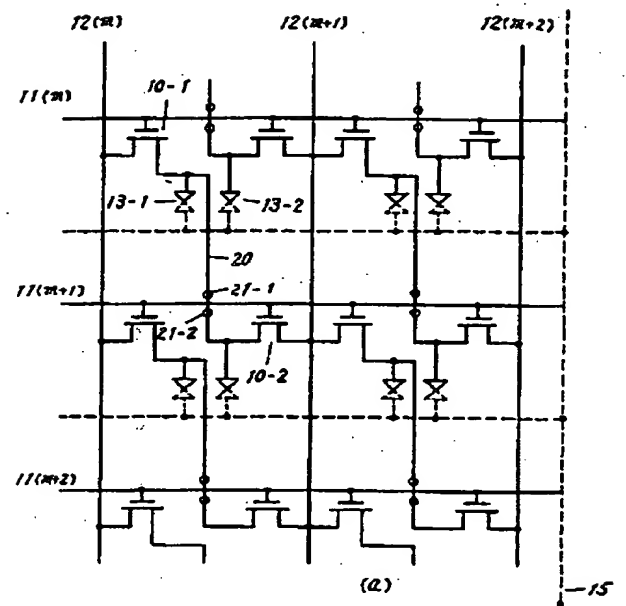


(a)

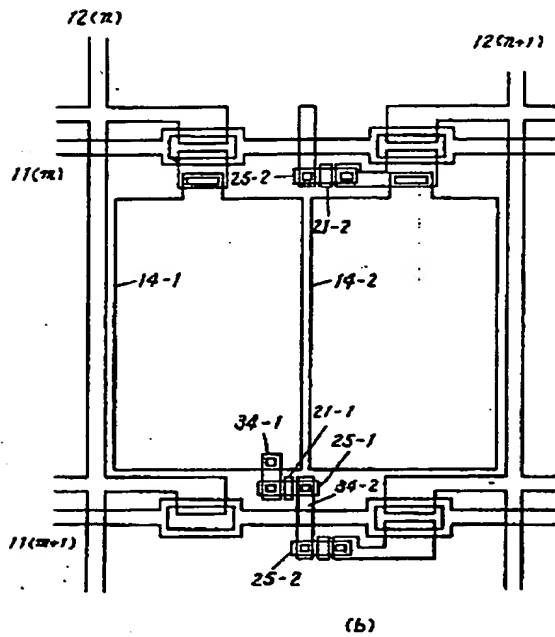
第 3 圖



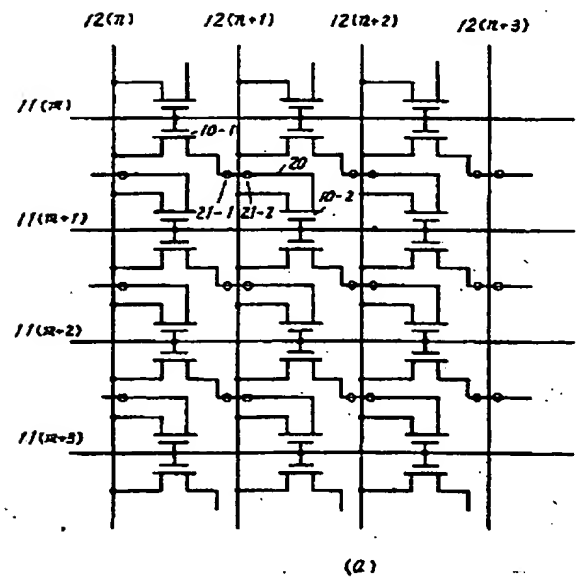
第 4 圖



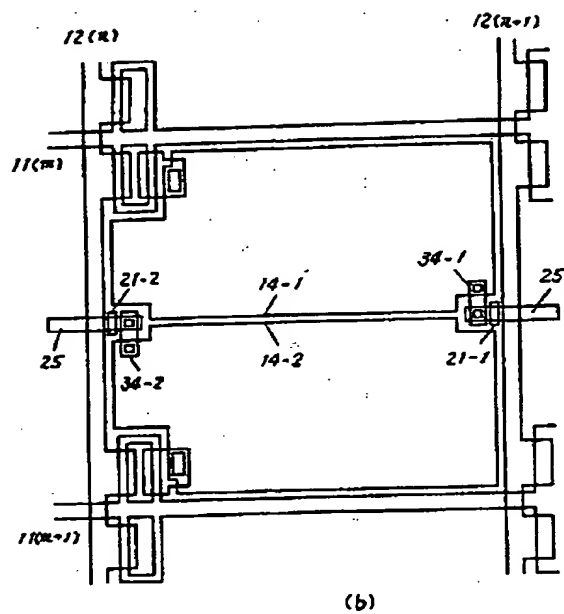
第 4 圖



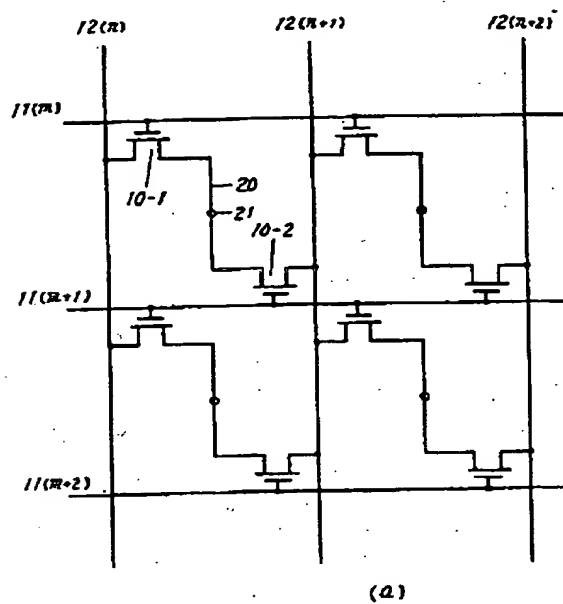
第 5 圖



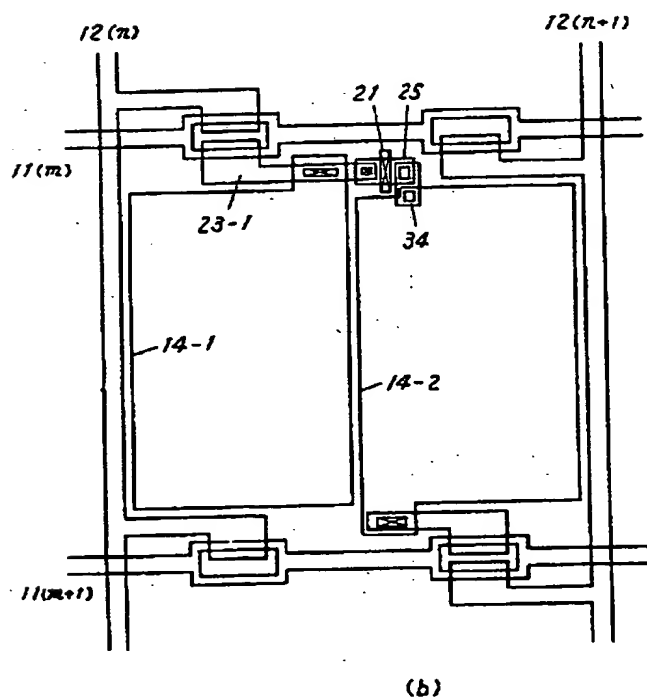
第 5 図



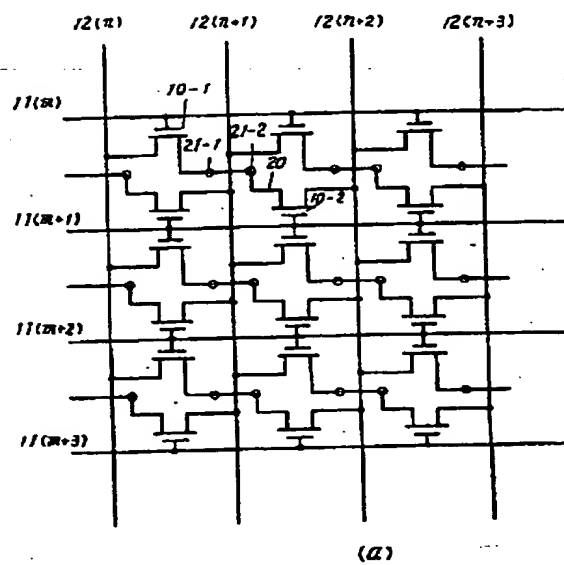
第 6 図



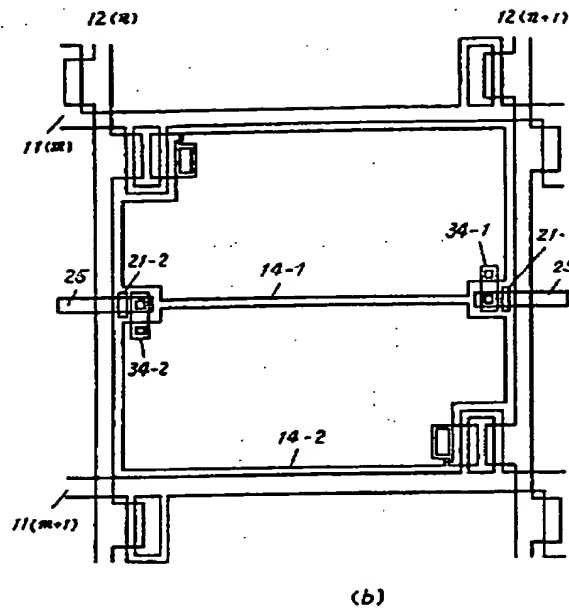
第 6 図



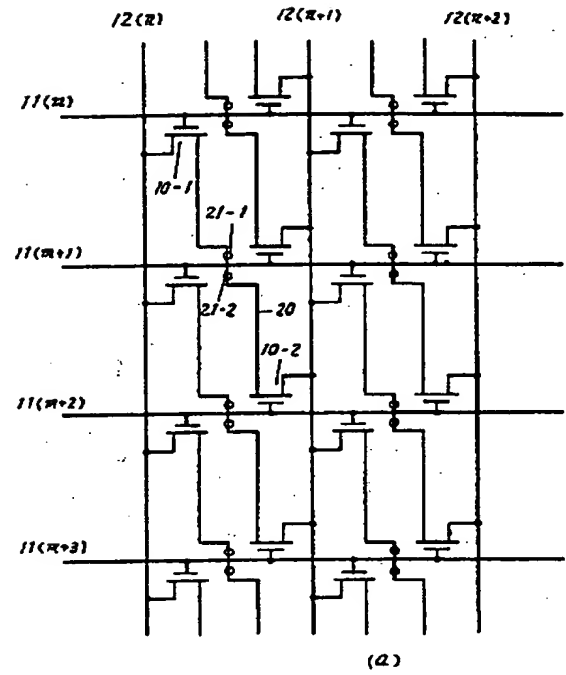
第 7 図



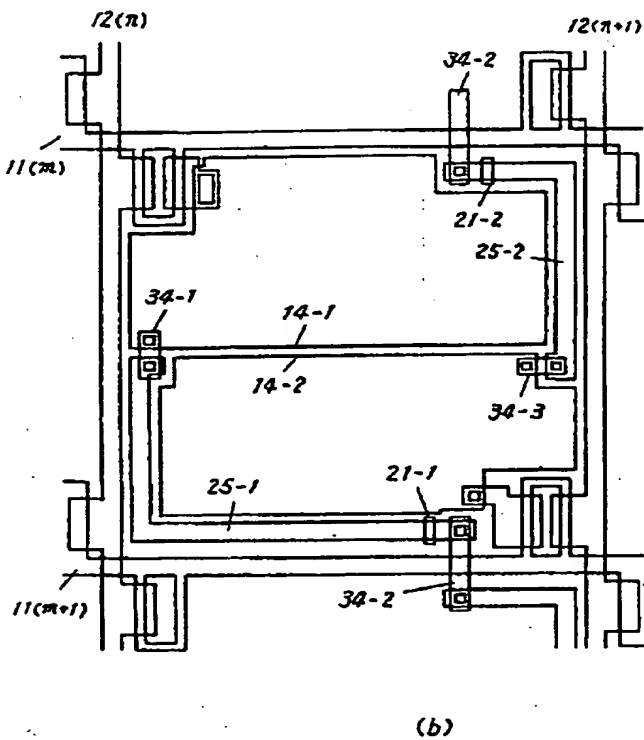
第 7 図



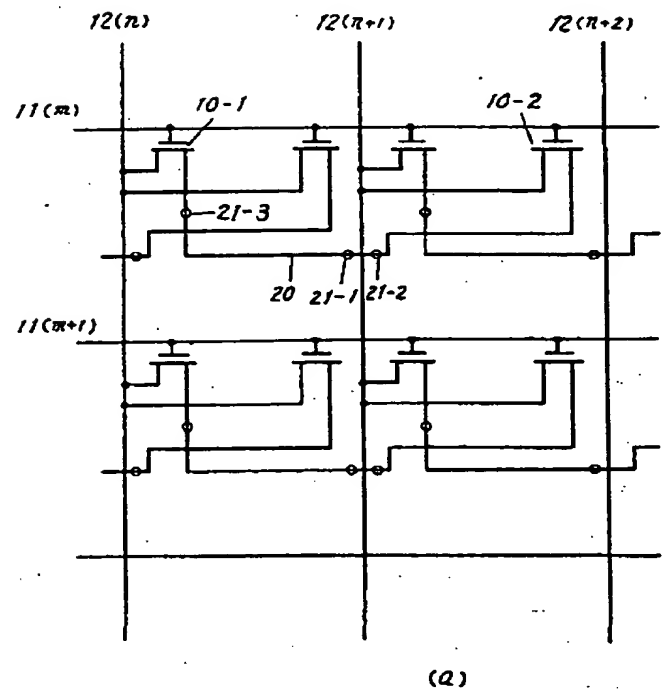
第 8 図



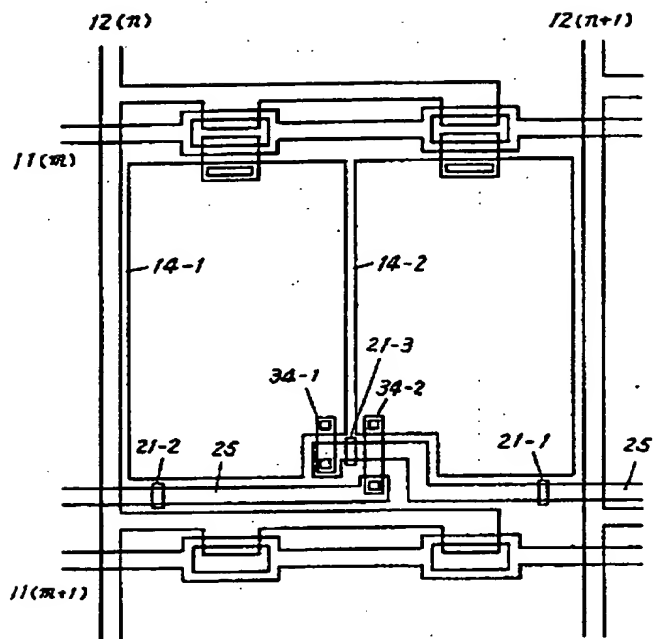
第 8 図



第 9 図

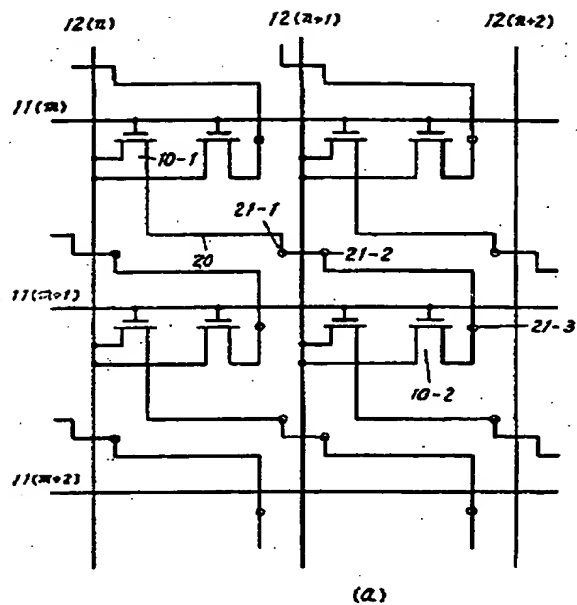


第 9 図



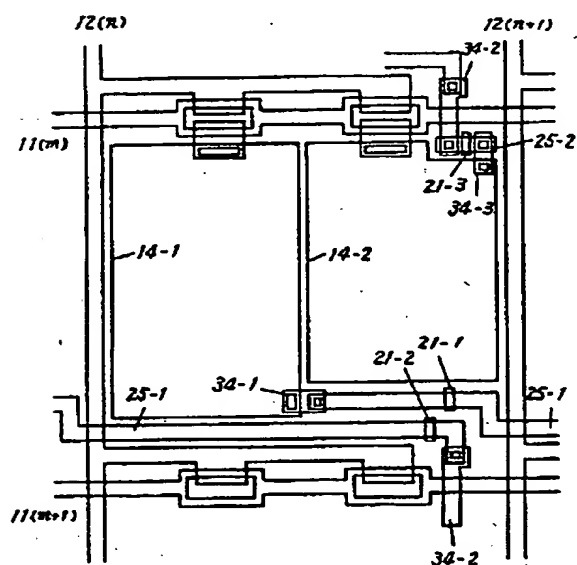
(b)

第 10 図



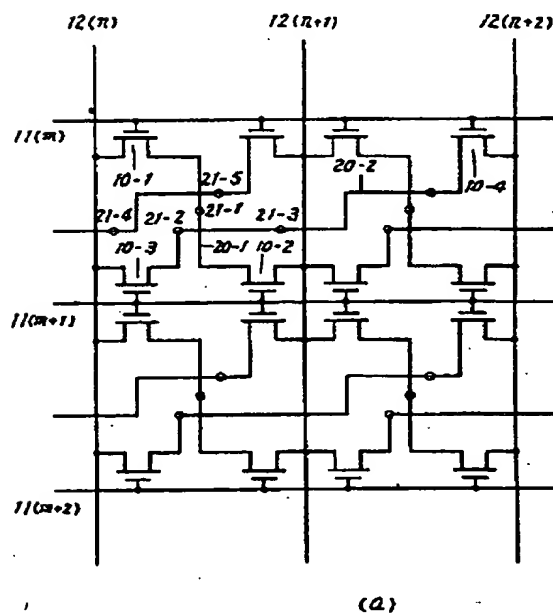
(a)

第 10 図



(b)

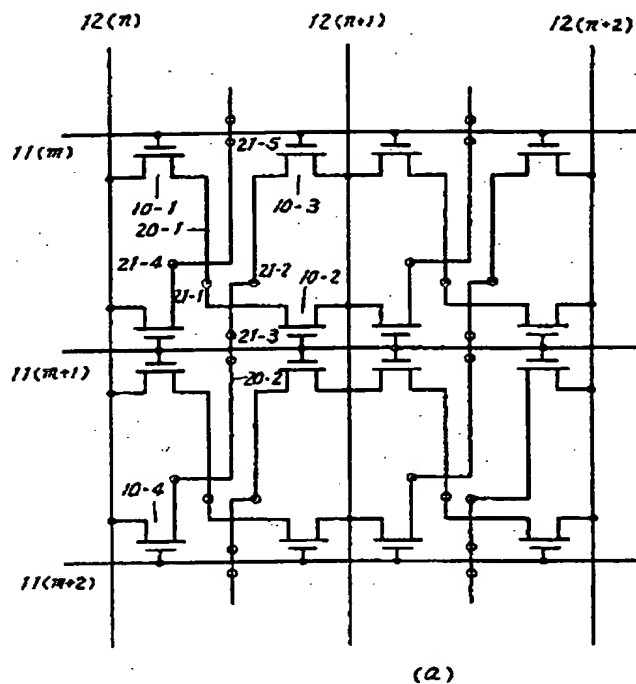
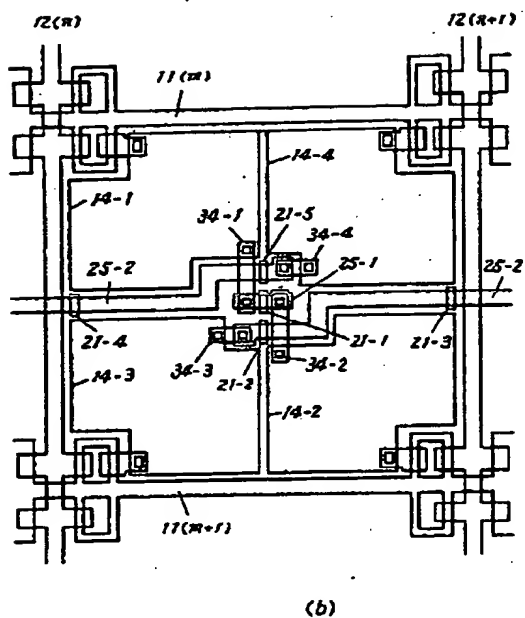
第 11 図



(a)

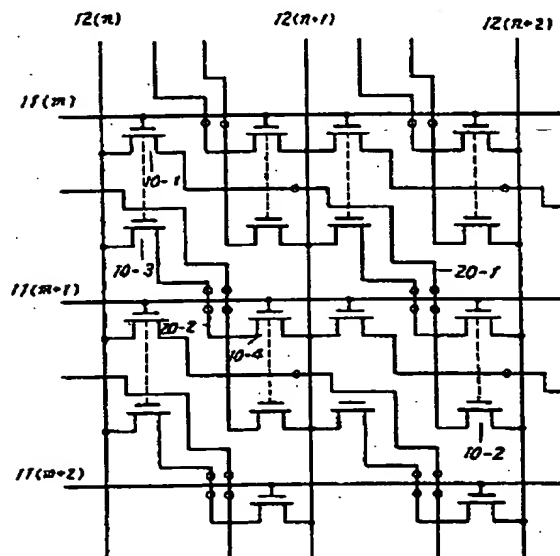
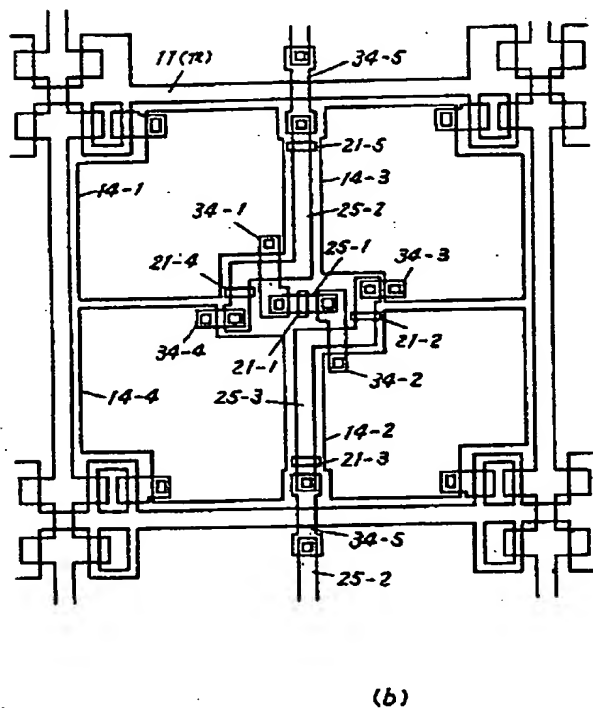
第 1 2 図

第 1 1 図

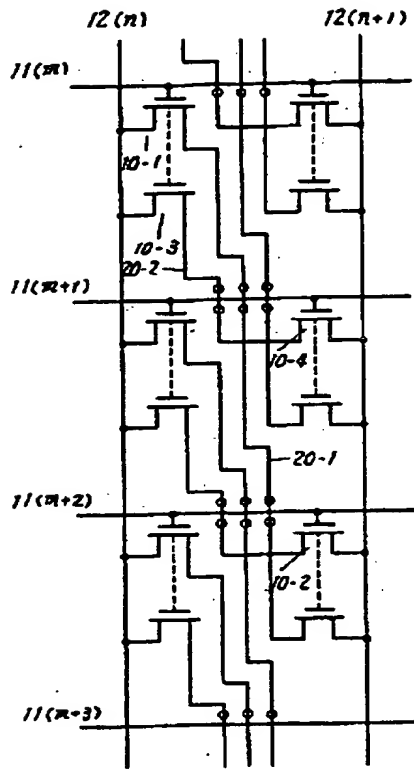


第 1 2 図

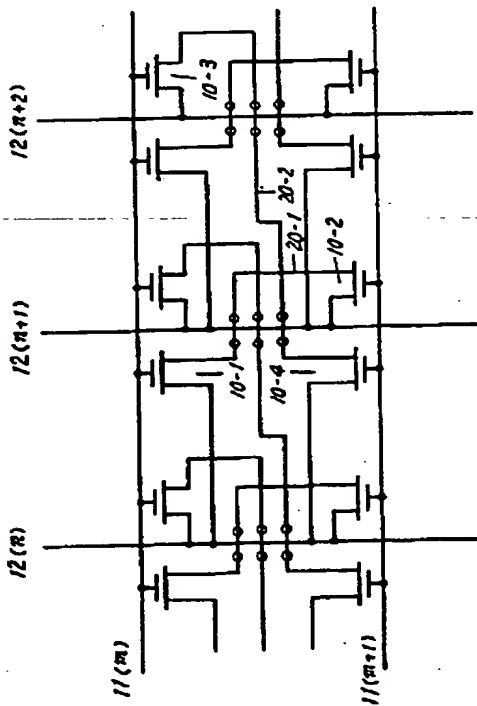
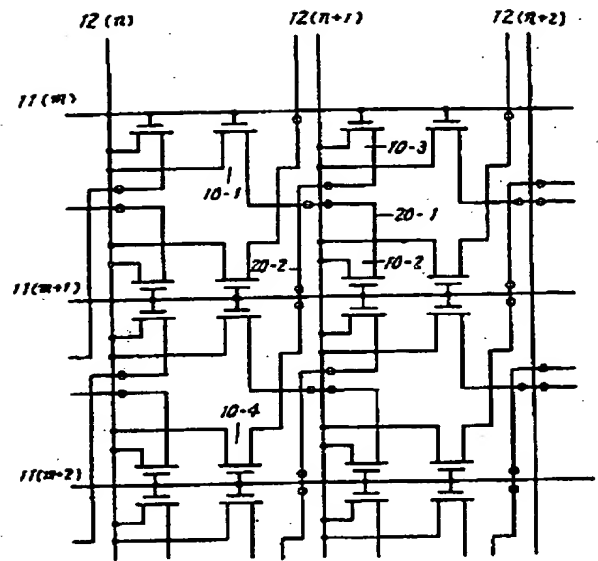
第 1 3 図



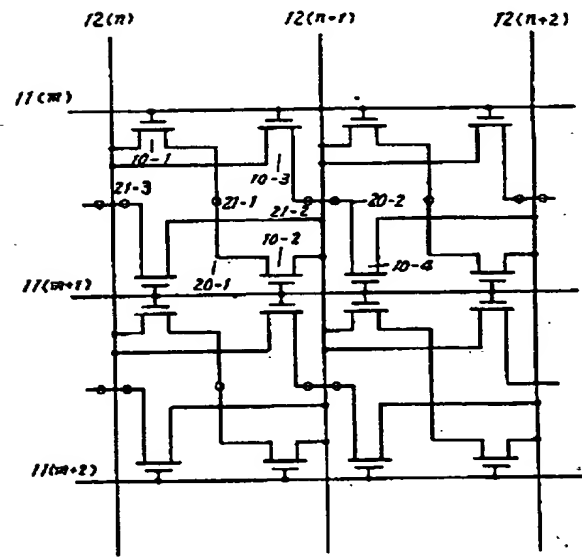
第 14 図



15 図



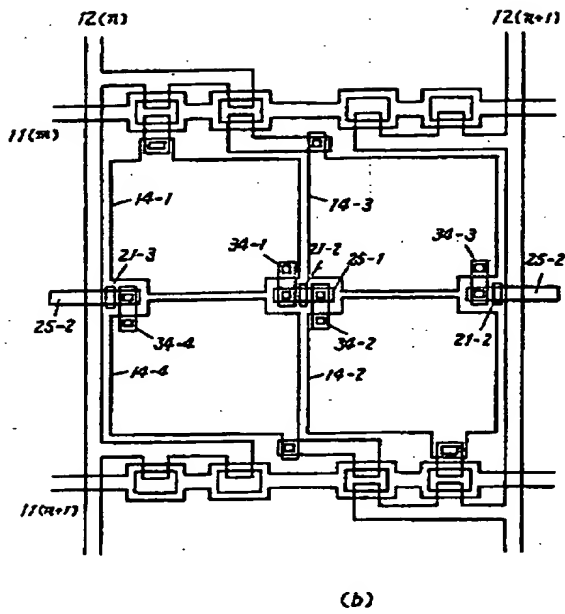
第 17 図



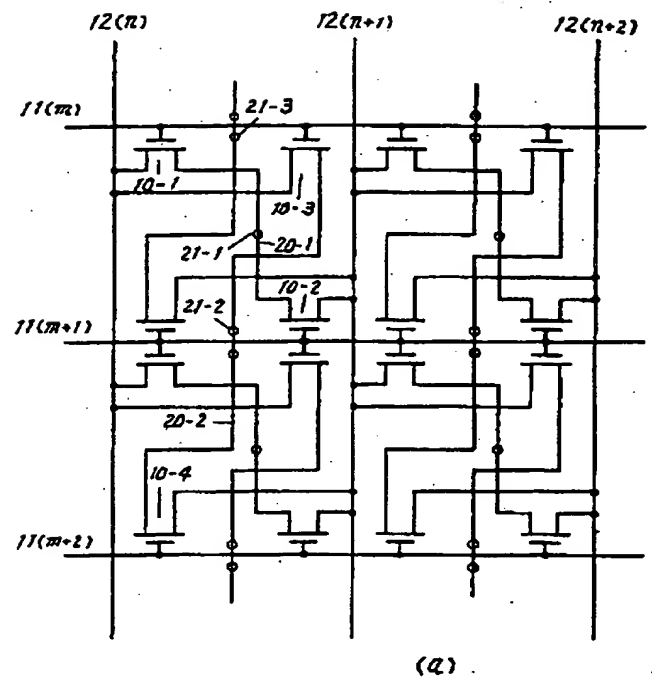
(a)

第 16 図

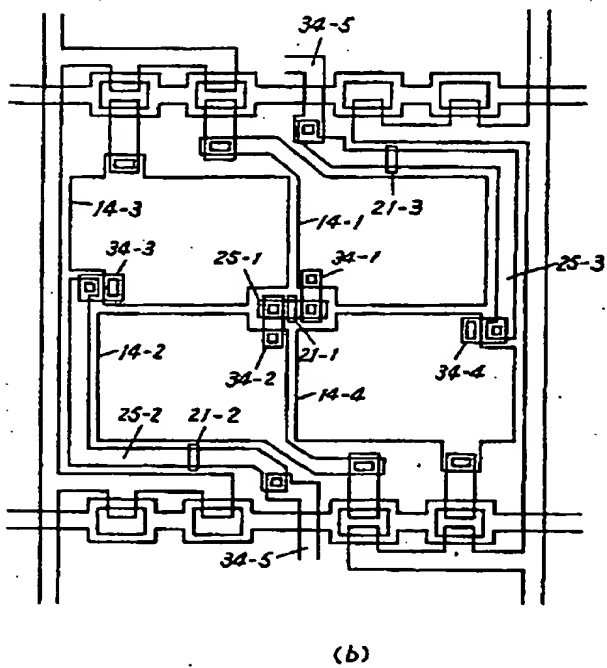
第 17 図



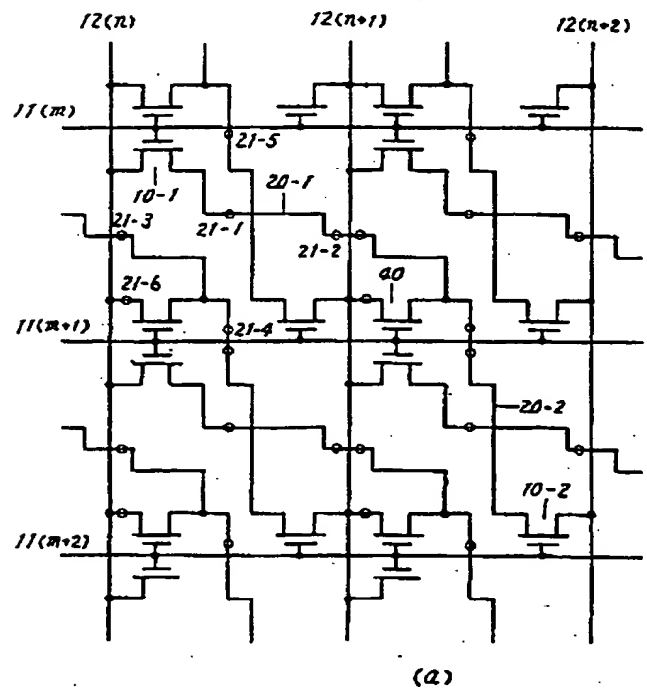
第 18 図



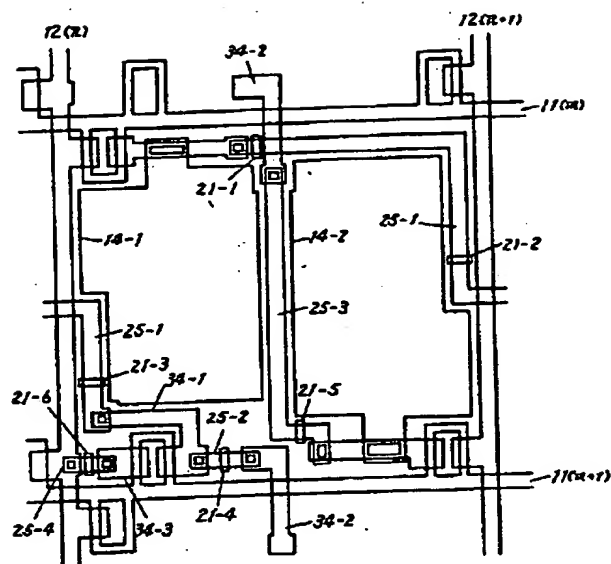
第 18 図



第 19 図

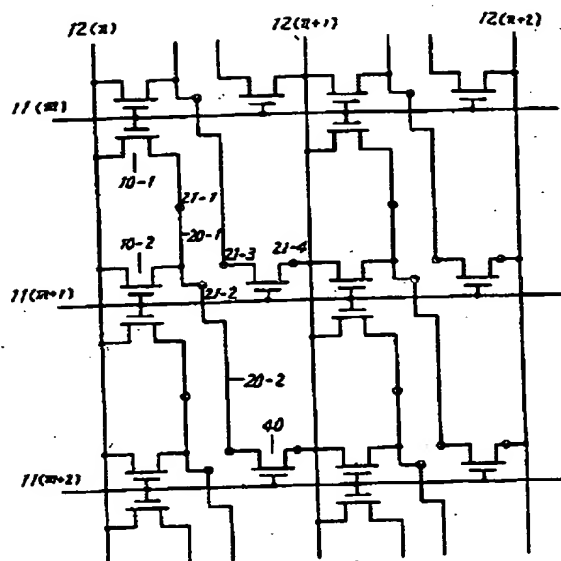


第 19 圖



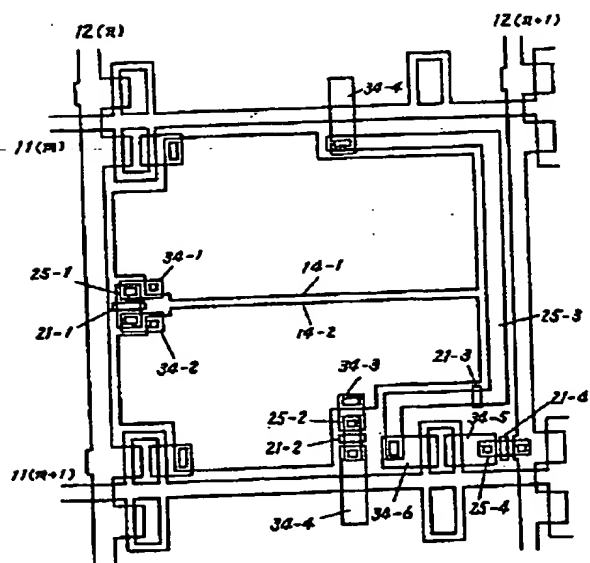
(b)

第 20 圖



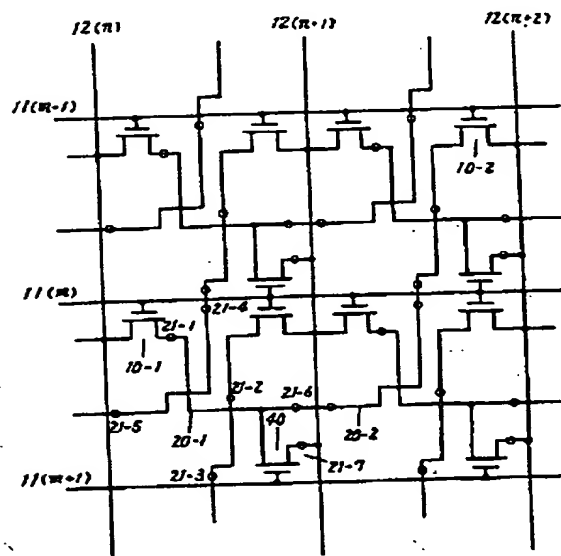
(a)

第 20 圖



(b)

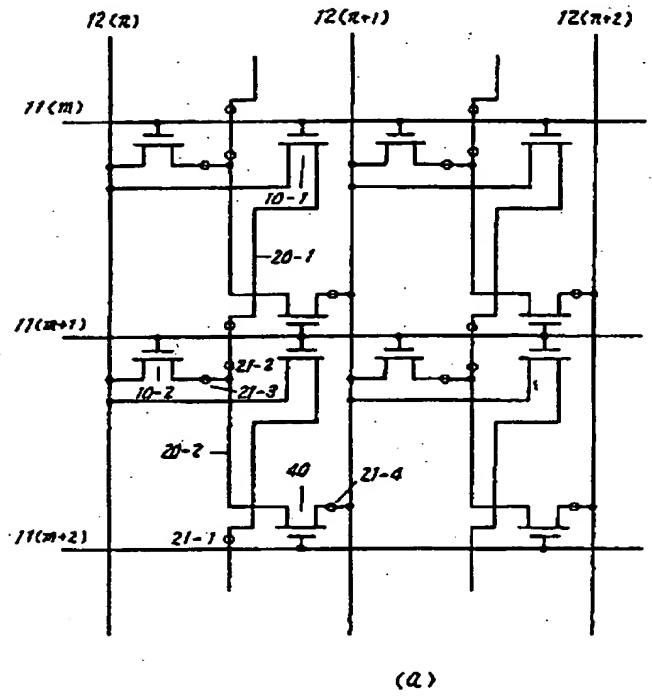
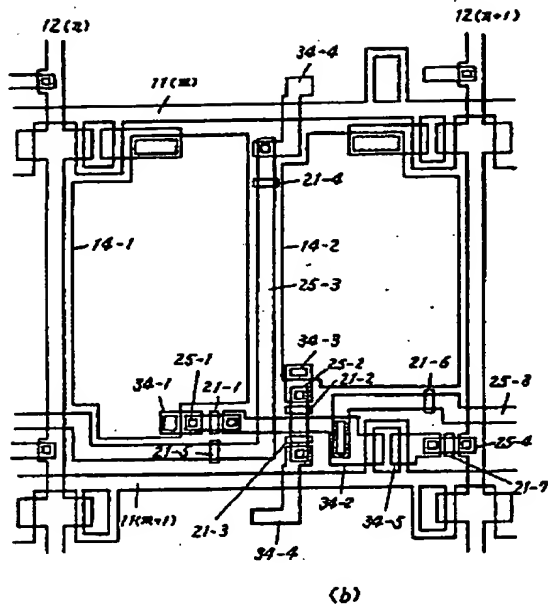
第 21 圖



(a)

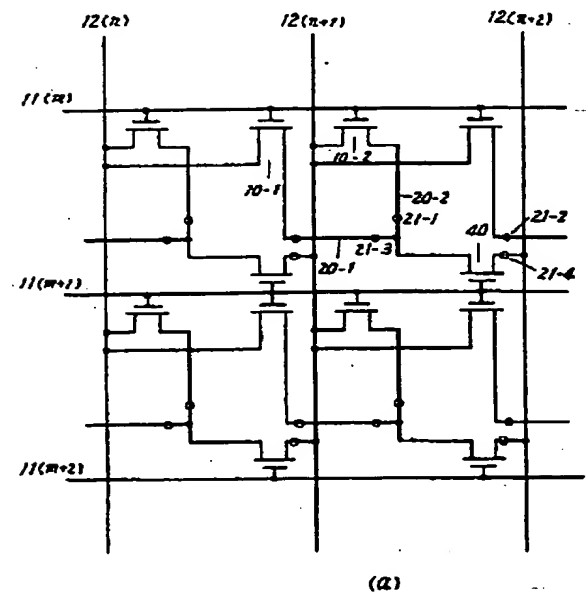
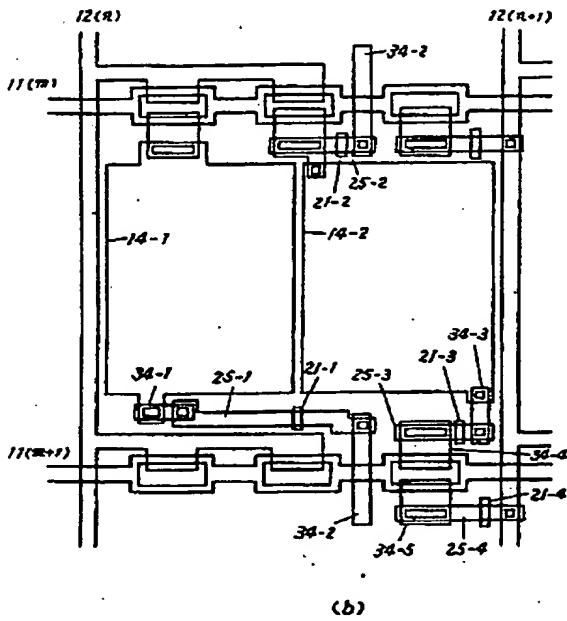
第 2 2 図

第 2 1 図

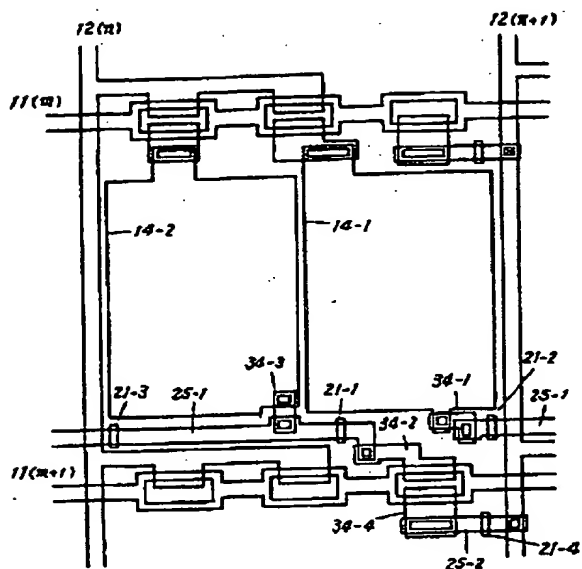


第 2 2 図

第 2 3 図

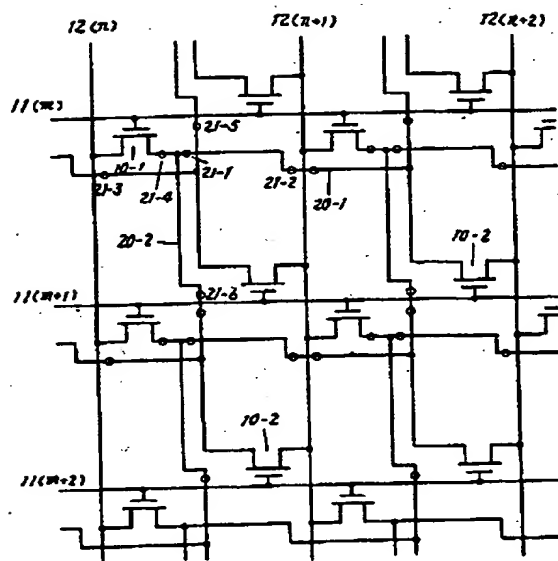


第 23 図



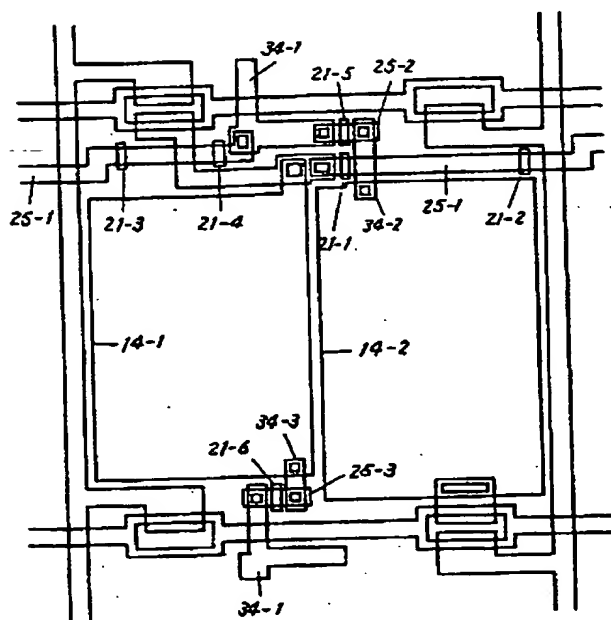
(b)

第 24 図



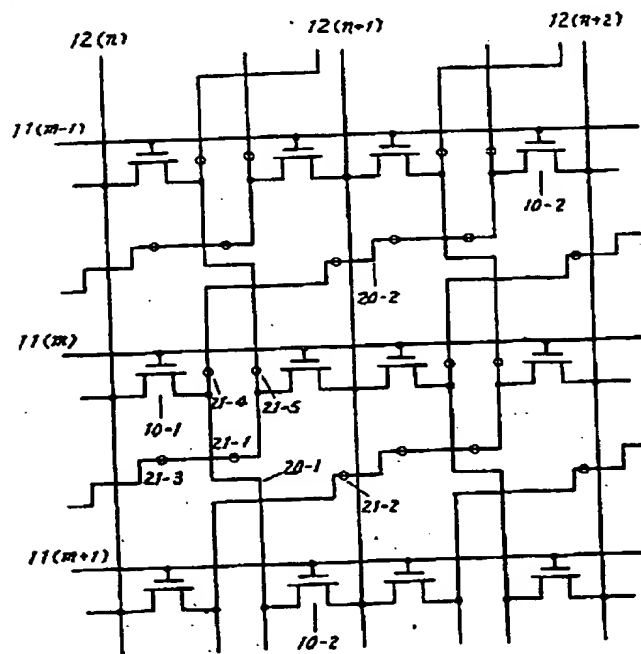
(a)

第 24 図



(b)

第 25 図



(a)

図 25

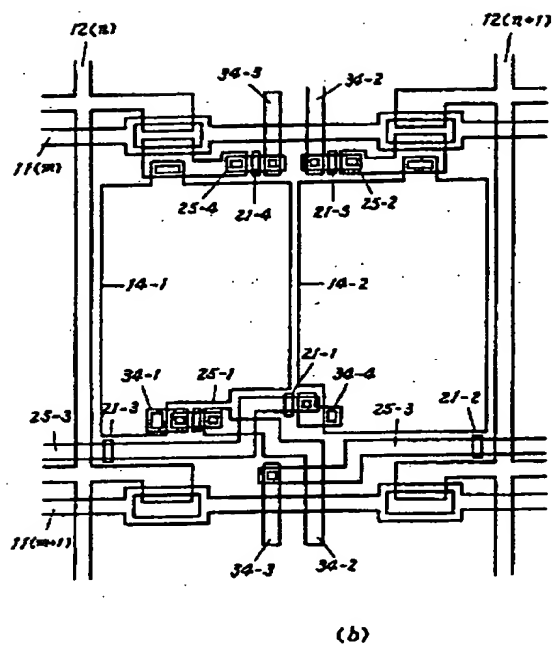


図 26

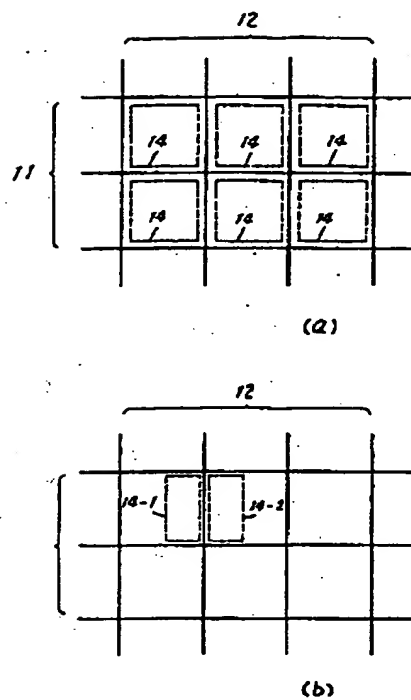


図 26

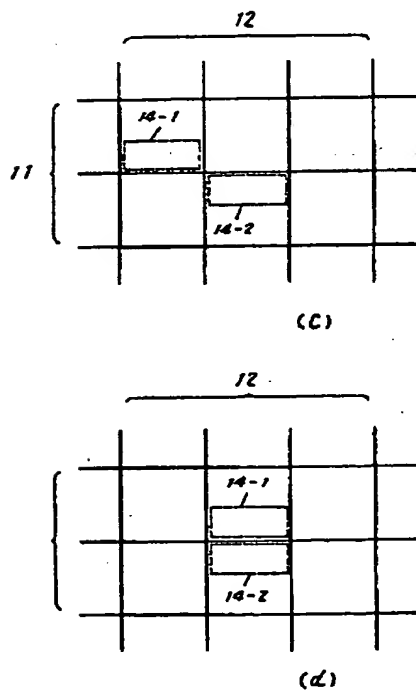
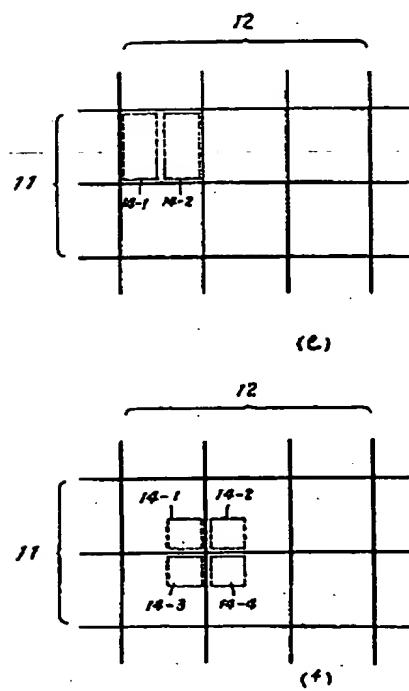
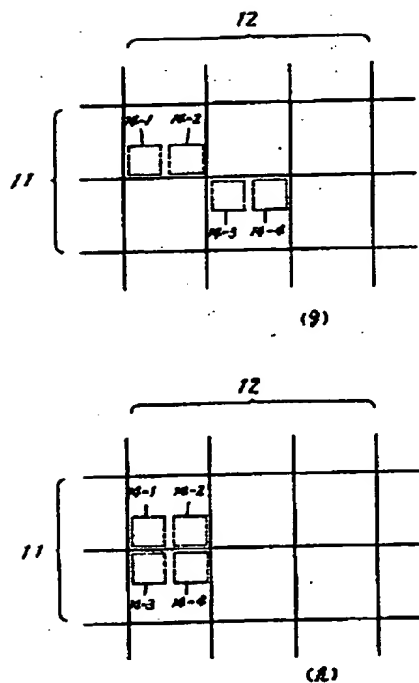


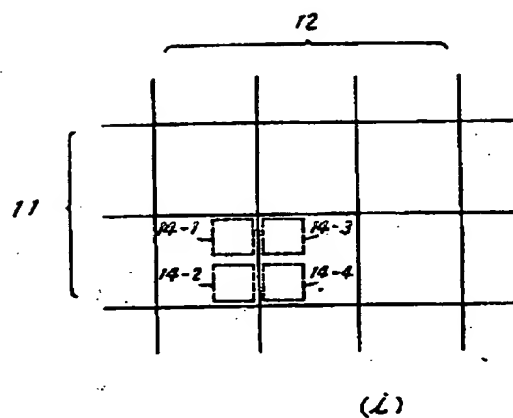
図 26



第 26 図



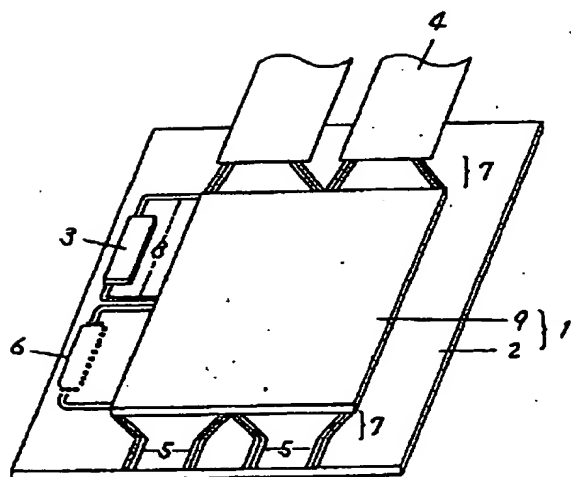
第 26 図



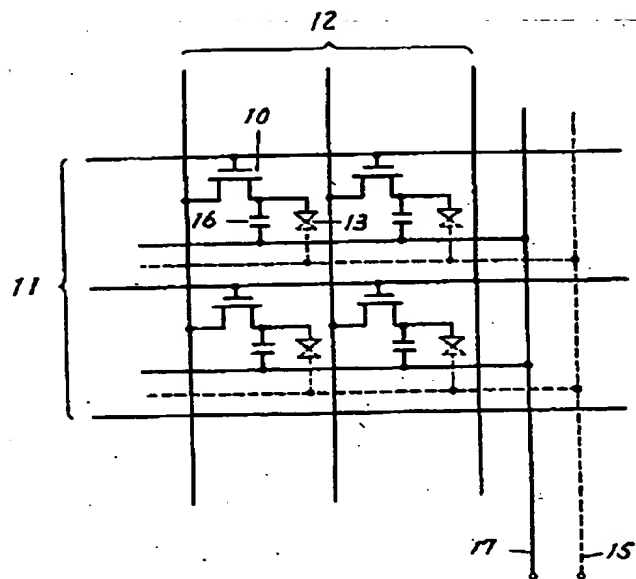
- 1 --- 液晶パネル
- 2 --- アクティブ基板
- 3 --- 半導体チップ
- 4 --- 接続フィルム
- 9 --- カラーフィルタ

- 10 --- 絶縁ゲート型トランジスタ
- 11 --- 走査線
- 12 --- 信号線
- 13 --- 液晶セル
- 15 --- 対抗電極
- 16 --- 補助容量

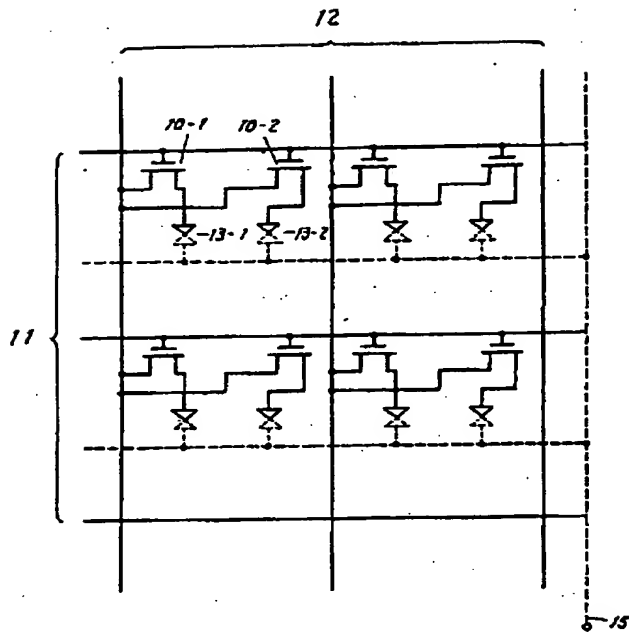
第 27 図



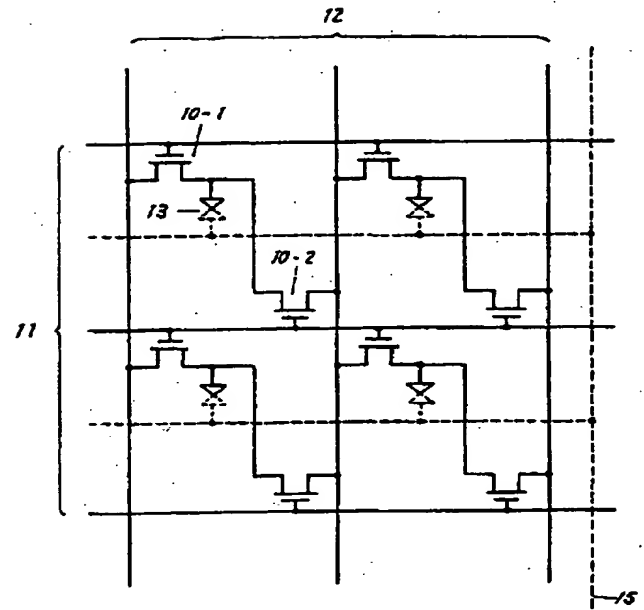
第 28 図



第 29 図



第 30 図



手続補正書(方式)

平成 元年 8 月

特許庁長官殿

1 事件の表示

平成 1 年 特許願第 86227 号

2 発明の名称

島欠陥の検出および補修の可能なアクティブマトリクス基板の製造法

3 補正をする者

事件との関係 特許出願人
住 所 大阪府門真市大字門真1006番地
名 称 (582) 松下電器産業株式会社
代表者 谷 井 昭 雄

4 代理人

〒571
住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内
氏 名 (6152) 井理士 栗野 重 孝
(ほか1名)
[通称 電話(東京)434-9471 電報掛522]

5 補正 令の日付

平成 1 年 7 月 25 日

6 補正の対象

明細書の図面の簡単な説明の欄

7 補正の内容

明細書第98頁第19行から同第99頁第2行の「第1図から第25図の〜同等価回路に対応した」を次の通り訂正します。

「第1図から第25図は本発明の実施例の製造法になるアクティブマトリクス基板にかかるものであり、第1図から第12図の(a)、第17図から第25図の(a)および第13図から第16図は液晶パネルまたはアクティブマトリクス基板の等価回路図、第1図から第12図および第17図から第25図の(b)は同等価回路に対応した」

特
1.